

超高速光エッジノード技術の研究開発

Research and development on ultra high speed optical edge node technology

代表研究責任者 鈴木 扇太 日本電信電話株式会社 未来ねっと研究所
研究開発期間 平成 22 年度～平成 23 年度

【Abstract】

Ultra-high speed optical edge node developed in this study, which corresponded to the long-haul optical transmission with 100 Gbps-class, has enabled high-speed processing of large volumes of data by signal processing in units of path, without the signal processing on a per-packet basis, which processing speed was the bottleneck of a traditional router, and the use of large amounts of high-speed memory that were required by a traditional router technology, and as a consequence, achieved power saving of the network.

The purpose of this research was to realize ultra-high speed optical edge node which was able to handle 100 Gbps-class signals and to reduce the power consumption to one-third of that of the traditional node. The following techniques have been established.

- (1) Client-signal accommodation technologies,
- (2) 100 Gbps-class ultra-high speed optical transmission technologies,
- (3) Optical path protection technologies.

1 研究開発体制

- 代表研究責任者 鈴木 扇太（日本電信電話株式会社 未来ねっと研究所）
- 研究分担者 西原 基夫（日本電気株式会社 システムプラットフォーム研究所）
尾中 寛（富士通株式会社 ネットワーク・ロガ[®]外事業本部 フォニクス[®]ロガ[®]外開発センター）
水落 隆司（三菱電機株式会社 情報技術総合研究所）
- 研究開発期間 平成 22 年度～平成 23 年度
- 研究開発予算 総額 1,430 百万円

(内訳)

H22 年度	H23 年度 (H22 年度補正分)
630 百万円	800 百万円

2 研究開発課題の目的および意義

本施策で研究開発された超高速光エッジノードは、100Gbps級の長距離光伝送に対応し、従来のルータで処理速度のネックであったパケット単位での信号処理を必要とせず、パス単位での信号処理を行うこ

とで大容量データの高速処理を可能とするとともに、従来のルータ技術で必要であった大量の高速メモリを不要とし、ネットワークの省電力化を実現するものである。

本研究開発は、100Gbps級の信号を処理する超高速光エッジノード技術の確立及び消費電力を従来エッジノードの1/3以下に削減することを目標に、以下の技術の研究開発を実施した。

- ① クライアント信号収容技術の研究開発
- ② 100Gbps級超高速光送受信技術の研究開発
- ③ 宛先切替技術の研究開発

3 研究開発成果

高速・大容量化と省電力化を同時に実現する超高速光エッジノードの実現のために、①回路規模と消費電力の削減を可能とするクライアント信号収容技術、②デジタルコヒーレント信号処理回路と送受信光集積回路を統合して安定な光送受信を実現する100Gbps級光送受信技術、③必要な切り替え容量に応じて段階的に増設できる宛先切替技術を確立した。これらの成果に基づいた超高速光エッジノードとパケットスイッチを用いた従来のルータ構成の消費電力の比較を行った。両者のノード構成とも、100Gbps級ネットワーク側インターフェースを4ポート、10Gbps級クライアント側インターフェースを160ポート有し、2.0Tbpsのスイッチ容量を仮定した。図1の上段には超高速光エッジノード構成、下段には従来のルータ構成を示している。従来のルータ構成ではインターフェース部に消費電力の大きな経路計算や入出力バッファを有していたが、超高速光エッジノード構成ではバス単位スイッチ構成を採用することでこれらを不要とし、また、スイッチ部の電力はパケットスイッチと比較して約1/4へと低消費電力化を実現できる。その結果、ネットワーク側、クライアント側インターフェースを含めたノード全体の消費電力を比較すると、超高速光エッジノード構成は従来のルータ構成と比較して1/3の消費電力を実現可能となり、研究開発の目標を達成した。

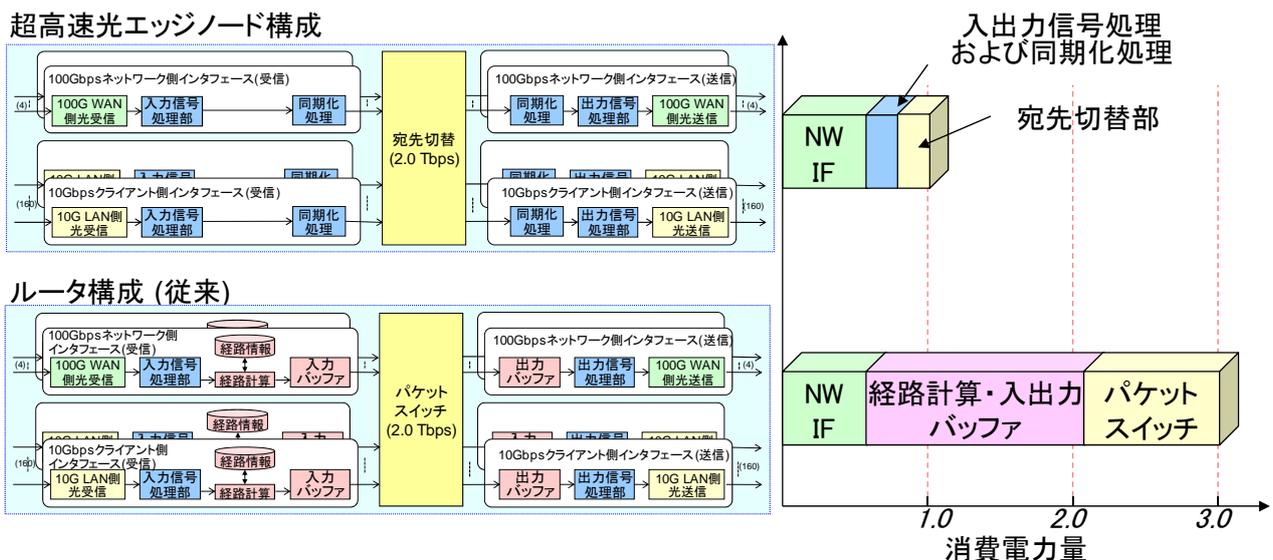


図1 超高速光エッジノードとルータ構成の比較

3. 1 クライアント信号収容技術の研究開発

クライアント信号収容技術の技術課題を解決するための方式の確立およびハードウェア実装の設

計・試作を行い、動作検証により全体的な性能評価を実施する。

1-ア 光トランシーバと OTN 信号間のインターフェース技術の研究開発

ギガビットイーサネット信号や SDH STM16/SONET OC48 信号などの異なる速度（ビットレート）およびフォーマットを有するクライアント信号を信号転送用フレームである LO ODU（Lower Order Optical channel Data Unit）を介して同一の基本周期を持つ共通フレームへ変換する技術の研究開発を行った。100Gbps クラスでの動作に最適化した共通フレーム構成、および、周波数調整を行いながらクライアント信号を収容した LO ODU を共通フレームへ変換する技術を確立した。

また、前記のクライアント信号を共通フレームへと変換をし、宛先切替部を介して高速の信号転送用フレームへ接続（多重収容）し、OTU4（Optical channel Transport Unit・4）信号として 100Gbps クラスで動作する光トランシーバとの接続、また、光トランシーバで受信した OTU4 信号から共通フレームを多重分離し、宛先切替部を介して共通フレームを所望のクライアント信号のインターフェースへ接続した後共通フレームの逆変換によるクライアント信号の抽出を 100Gbps クラスの速度で動作する評価ボードを設計・試作した。本評価ボードを用いて、クライアント信号速度（ビットレート）に応じて異なるフレーム周期となる LO ODU が複数混在した条件下においても、各クライアント信号を光トランシーバへと接続する動作検証を行った。その結果、様々なクライアント信号に対しても共通フレームを介した統一的な宛先切替処理を経由して光トランシーバへインターフェースを行う技術を確立したことを確認した。

1-イ 自動可変型 ODU フレーム（GMP）処理方式

同一の基本周期を持つ複数の共通フレームを連結させて動作させることにより、クライアント信号を収容した LO ODU フレームの速度（ビットレート）に合わせた共通フレーム数での共通フレーム変換/逆変換を行うために、複数の共通フレームの同期動作を制御する連動コントローラを開発し、任意速度の LO ODU フレームに対応する自動可変型 ODU フレーム処理方式の技術を確立した。また、任意の LO ODU の障害復旧要求に合わせて、前記 LO ODU に対応する共通フレームの同期動作に自動追従する制御方式を開発した。更に、自動可変型 ODU フレーム処理方式を元に、ユーザの利用帯域変更要求に応じてクライアント信号を収容した LO ODU フレームを無瞬断でビットレート変更するための GMP 処理方式を開発した。

自動可変型 ODU フレーム処理方式の動作を検証するために、100Gbps クラスの速度で動作する評価ボードの設計・試作を行い、ギガビットイーサネット信号、10 ギガビットイーサネット信号および SONET OC48/SDH STM16 信号を用いて自動可変型 ODU フレーム処理方式の動作を実機確認した。また、10 ギガビットイーサネット信号を収容した LO ODU フレームを無瞬断でビットレート変更するための GMP 処理方式に関しても動作を実機確認した。

3. 2 100Gbps 級光送受信技術の研究開発

100Gbps 級光送受信技術のハードウェア実装の設計・試作を行い、動作検証により全体的な評価を実施する。

2-ア 100Gbps デジタルコヒーレント信号処理方式の研究開発

2-ア-1 デジタルコヒーレント信号処理方式の研究開発

2-ア-1-1 デジタルコヒーレントトレーニング信号処理技術

トレーニング信号を利用して波長分散推定を行う回路を実装した試作サンプルに対して、アルゴリズム

ムの評価・検証を行った。波長分散量は、送信機と受信機間のシングルモードファイバの長さを変えることで変化させた。または送受信機レーザ発振器の出力信号間の周波数を変えることで送受信信号間のキャリア周波数の周波数オフセットを付与した。

評価の結果、伝送距離および周波数オフセットが異なっても、波長分散推定誤差は 200ps/nm 以下であり、目標値を満足した。従って LSI 実装を行った場合も、波長分散推定の評価結果は目標値を満足し、推定アルゴリズムは良好であることが確かめられた。

さらに推定特性には影響を与えずに消費電力を削減するアルゴリズムの検討を行った。具体的には、トレーニング信号の位置検出を行うために高速に信号処理するリアルタイム処理部を動作させるタイミングを現行の 2 フレームに 1 回から 8 フレームに 1 回と処理速度が 1/4 になるようにクロックレートを 1/4 に落とすこととした。同様に周波数オフセット推定および波長分散推定を行うために低速に信号処理するバッファ読み出し処理部のクロックレートも現行の 1/4 とした。新しいアルゴリズムで RTL による検証およびハードウェアエミュレータを用いた検証を実施し、現行のアルゴリズムと変わらない動作となることを確認した。

以上により、100Gbps 級で 20,000ps/nm 以上の波長分散を高速推定可能な動作可能なトレーニング信号処理技術を確立し、所期の目標を 100%達成した。

2-A-1-2 デジタルコヒーレント波長分散補償技術

デジタル信号処理により波長分散補償処理を実現するオーバーラップ周波数領域等化 (Frequency Domain Equalization: FDE) 技術に関して、基本アルゴリズム、基本アーキテクチャを策定し、策定した基本仕様に基づき、高位言語 C によりモデル記述し、歪補償動作を確認した。

さらに、このモデルを用いて、実回路設計を行い、回路レベルでの論理シミュレーションなどにより基本的な動作の確認を完了し、歪補償機能の基本仕様に関する LSI 実装可能性を確認した。とくに、回路レベルで基本的な動作を確認した基本アーキテクチャに基づいて、回路規模や消費電力を最適化した設計を行った。

方式設計では、20,000ps/nm の波長分散による光波形歪みの補償に必要となる、1,000 サンプル以上のオーバーラップ量を処理可能な高速フーリエ変換(FFT)サイズを評価し、4,096 ポイントを選択した。次に、オーバーラップ部分の演算量増加に対応するため、動作周波数が実現可能な範囲であり、かつ最も回路規模を小さくできるクロックアップ方式を採用した。

回路設計では、4,096 ポイントの大規模 FFT を 100Gbps スループットで回路動作させるために、FFT フレーム内並列化方式を採用した。また、回路規模や消費電力の最適化設計では、高 radix 高並列の FFT 回路、データの高並列性を活用したブロック浮動小数点処理方式等を開発し、適用した。これらの技術により、通常設計に比べ最大 70%の電力減が見込めることを明らかにした。

以上の設計結果を、機能レベル合成が可能な性能モデル(SystemC)で記述してネットリストを合成した。このとき、ネットリスト段階における消費電力の最適化設計を行った。RTL ネットリストを生成する際に、様々なパイプライン段数に関して RTL ネットリストを生成し、それらのリーク電流量を評価した結果、最適なパイプライン段数が存在することを見出し、この最適化を行うことで 49~55%のリーク電流を削減可能であることを明らかとした。また、速度・リーク電流量に関して異なる種類の論理セルを最適配置することによってもリーク電流の削減 (13~18%) が可能であることを示した。

以上の設計結果を、コンセプト検証用 100Gbps デジタル信号処理回路に適用して試作し、波長分散補償機能を実光伝送路により評価した。評価のため、目標の 20,000ps/nm 以上の波長分散となる 3,350km

の通常シングルモードファイバ(SMF)伝送路を構築して用いた。伝送路の波長分散量は、最大 56,200ps/nm となる。伝送速度 127Gbps (高性能誤り訂正部含む)、変調方式を偏波多重 QPSK 信号として、単一波長で伝送評価を行い、伝送後の信号を分散補償回路により補償した。得られた受信 Q 値 (誤り訂正前の符号誤り率に相当) は、光雑音のみで決まる受信 Q 値とほぼ等しい値であった。これにより、劣化の小さい波長分散補償が、最大 56,200ps/nm までという広い範囲で実現されていることを確認した。さらに、波長多重伝送 (50GHz 間隔 5 波) での 3,350km 伝送も行い、受信 Q 値の 2 時間連続測定を行った。その結果、測定時間内における Q 値の変動幅は 0.18dB と、受信特性が安定していたことを確認した。以上のシステム評価の結果より、本研究で開発した波長分散補償機能が 100Gbps スループットにて安定した補償動作を行うことを確認し、100Gbps 級で動作する波長分散補償デジタル信号処理技術を確立した。

2-ア-1-3 デジタルコヒーレント偏波処理技術

本研究開発は 100Gbps 超の伝送を実現する偏波直交 QPSK (DP-QPSK: Dual Polarization – Quadrature Phase Shift Keying) 方式の適用を前提としている。このため、信号処理技術の中でも、偏波分離や PMD (Polarization Mode Dispersion: 偏波モード分散) 補償をはじめとする偏波処理技術は、DP-QPSK 方式の復調処理において非常に重要である。

偏波処理技術の主な課題としては (1) 高速な偏波変動追従性能と十分な PMD 補償性能の相反する性能の両立、(2) 信号光と局発光のオフセット周波数の引き込み範囲の増大、(3) 搬送波位相推定における位相スリップ影響の低減等が挙げられる。

平成 22 年度の研究において、偏波変動 20kHz 以上の環境下における 50ps 相当以上の PMD 耐力、 $\pm 2.5\text{GHz}$ 以上の周波数オフセット耐力を実現するアルゴリズムを検討し、CMOS 試作回路実装のための RTL およびネットリストでの補償回路設計・論理検証を行った。また、CMOS 試作回路を評価ボードへ搭載し、基本動作を確認した。平成 23 年度は、評価ボードに多重回路などを組み合わせ、実測評価系を構築し、偏波処理部の評価を実施した。

はじめに、設計されたネットリストを使用し CMOS 試作回路で評価を行った。入力信号の OSNR、レーザ周波数オフセット、PMD、残留分散、受信スキュー等の条件を変化させ、基本動作に対する演算の妥当性を Bit-Accuracy で確認する試験と、取りうるデータがほぼ一様に発生する係数を設定する試験 (一様発生試験) において CMOS 試作回路の動作と高位 C 言語モデルの出力結果が一致することを確認し、100Gbps での CMOS 試作回路の適応偏波処理動作が確認できた。

次に、CMOS 試作回路を搭載した評価ボードや多重回路、局発光レーザなどを組み合わせ、実測評価系を構築した。偏波変動 50kHz 以上の環境下における PMD 耐力や周波数オフセット耐力を確認するため、偏波スクランブラ及び偏波ローテータによる偏波変動付加系を伝送路上に配置した。

PMD エミュレータの前段での偏波変動と PMD エミュレータの後段での偏波変動評価において、50kHz 程度の偏波変動環境下で、実測と高位 C 言語モデルの出力結果ともに Q 値が大きな劣化なしに同じ傾向を示すことを確認し、所期の目標を達成していることを確認した。また、周波数オフセットを付加した場合の耐力評価についても同様に、50kHz の偏波変動環境下においても設計通りの周波数オフセット耐力をもつことが確認された。

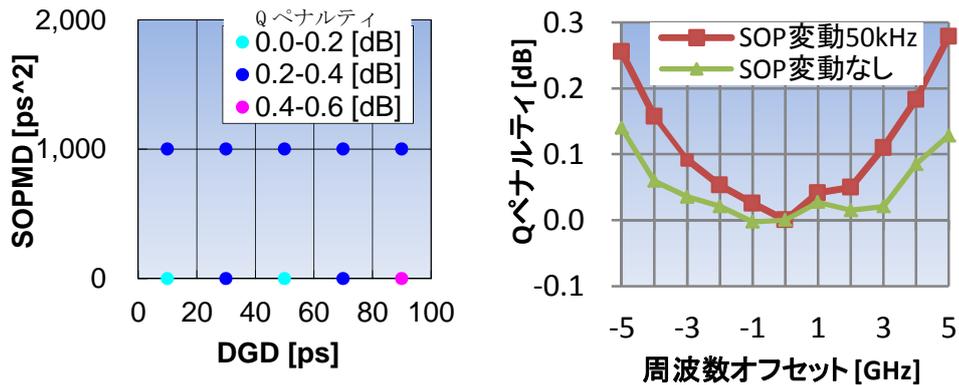


図 2 評価系における偏波変動 50kHz 時の Q 値劣化量
(左 : DGD/SOPMD 付加時、右 : 周波数オフセット付加時)

以上、50kHz の偏波変動環境下での実測と機能モデルシミュレーションの評価結果から、50ps 相当以上の PMD 耐力、±2.5GHz 以上の周波数オフセット耐力を実現する偏波処理技術を確立した。

2-ア-1-4 デジタルコヒーレント軟判定 FEC 技術

100Gbps 超高速光信号の信号対雑音比 (SNR) 低下に対処しうる強力な誤り訂正機能 (FEC : Forward Error Correction) として、多値伝送技術・等化技術との親和性、100Gbps の OTN フレーム等との親和性を考慮した FEC フレーム方式および軟判定 FEC 技術に取り組んだ。到達目標は 100Gbps スループットを有するデジタルコヒーレント軟判定 FEC 技術に関し、20%の冗長パリティを含む FEC フレーム方式を確立し、これまでに報告されている 10Gbps でネット符号化利得 (NCG : Net Coding Gain)10dB を速度で 10 倍上回る 100Gbps で 10dB に迫る NCG を有する FEC エンコーダ技術・デコーダ技術を確立することである。この目標に対し、三菱電機は、軟判定 FEC 回路の試作・評価を行い、100Gbps 超のスループットおよび 10dB を超える NCG を確認、さらに実システムへの適用性を高めるために軟判定 FEC 技術の完成度向上を行った。

軟判定 FEC 基本技術について検討を進めた結果、内符号の軟判定 FEC として LDPC (Low Density Parity Check)符号、外符号の硬判定 FEC として EFEC (Enhanced FEC) を用いた 3 重接続 FEC 方式を確立した。3 重接続 FEC 方式の誤り訂正性能を検証するため、シミュレーション条件を LDPC 符号の繰り返し演算数を 16、雑音を対称的な AWGN (Additive White Gaussian Noise)として、誤り訂正性能の計算機シミュレーション検証を行った。その結果、当社開発の可変 offset BP(Belief Propagation)-based アルゴリズムは、offset BP-based アルゴリズム (簡易演算で演算量削減をするが性能の劣る従来手法) に比べて約 0.1dB の符号化利得の向上を果たし、shuffled BP アルゴリズム (理想的演算をするが演算量が膨大な従来手法) に比べて約 0.2dB に迫る性能を発揮することがわかった。EFEC と接続させると、冗長度 20.5%で符号化利得 10.8dB@BER=1E-15 となり、これは標準 RS(255,239)よりも約 4.6dB 向上することとなる。

さらに、軟判定 FEC 復号で必要となる軟判定尤度 (対数尤度比: Log-Likelihood Ratio, LLR) 生成法の検討を実施した。位相不確定性を除去するために、2 シンボル間の位相差分により情報伝送を行う差動コーディングを適用する。QPSK2 シンボルの最尤点の組み合わせは全 16 通り存在するが、相対位置 (位相) のみが問題となることから、まず、第 1 シンボルが第 1 象限に位置するように、両シンボルに対し $\pi/2$ 単位の回転操作を行う。回転後のシンボル位置を基に、QPSK シンボルを構成する 2 ビットそれぞれの

対数尤度比を算出することで、省回路規模で構成することができる。

次に、上記検討内容に基づき、軟判定 FEC 回路の設計と試作を実施した。100Gbps を超える超高速信号を誤り訂正処理の回路規模を削減するために、論理回路修正・複数の小モジュールの配置制御・異クロック間のタイミングマージン見直し・クリティカルパス優先配線などを実施した結果、配線同士の重なりを避けて回路配置を行う配線性・配線長・タイミング最適化によるゲート増加などの課題を解消し、FEC 符号化・復号化部の合計で 33M ゲート以下の回路規模を実現できることを確認した。試作した 100Gbps 超スループットの軟判定 FEC 回路を評価した結果、シミュレーションと一致した誤り訂正性能が得られ、100Gbps 超のスループットおよび 10dB を超える NCG を確認した。

以上のように、100Gbps 超のスループットを有するデジタルコヒーレント技術に適用可能な、軟判定 FEC 回路の試作と、試作回路の評価を実施し、目標としていた 10dB に迫る NCG に対して、目標を上回る 10.8dB の性能を確認し、さらに実システムへの適用性を高めるために軟判定 FEC 技術の完成度向上を行い、目標を 100%達成した。

2-ア-2 アナログデジタル変換／統合方式技術の研究開発

2-ア-2-1 入力インターフェース技術

アナログデジタル変換部のアナログ／デジタル変換精度は、入力電気信号の振幅の増加につれて向上する。一方、受信フロントエンドの出力振幅を増加した場合、出力信号の歪みが増大する問題が生じる。従って、受信フロントエンドーアナログデジタル変換部の全体として最大性能を得るためには振幅最適化が必要となる。平成 21 年度の総務省委託研究「超高速光伝送システム技術の研究開発（デジタルコヒーレント光送受信技術）」では、両デバイスを合わせたトータルとして最大性能を得られる受信フロントエンドの出力振幅として 900mVppd を導き出し、OIF（Optical Internetworking Forum）に提案、受信フロントエンドに対する規格を定めた“Implementation Agreement for Integrated Dual Polarization Intradyne Coherent Receivers”の Appendix の一部として採用された。

これを受けて、平成 22 年度はアナログデジタル変換部の入力インターフェースの設計を行った。入力信号は、プリント基板上の高周波線路、アナログデジタル変換部が実装されるパッケージの劣化を受ける。受信フロントエンドからアナログデジタル変換部の入力間で受ける信号減衰量は、約 2dB が見込まれており、減衰した入力振幅に対して良好な特性を得ることを目標としてアナログデジタル変換部の設計を行った。

一方、入力帯域については、これまで、111Gbps 信号受信の実験から、必要なアナログデジタル変換部の入力帯域を明らかにしてきた。開発する受信系では 127Gbps の信号を受信するため、ビットレートに対するスケーリングから約 2GHz の入力帯域拡大が必要となる。信号帯域に関しても、入力振幅同様にプリント基板上の高周波線路、パッケージの周波数特性による劣化を受けるため、数 GHz の入力帯域の拡大が必須である。

アナログデジタル変換部は、課題 2-ア-3 デジタル信号処理統合検証技術の研究開発で試作する統合デジタル信号処理部の試作品搭載を前提に、平成 22 年度の研究開発において次世代 Si-CMOS 製造技術の設計ルールに基づいて設計を行った。我々は、これまでに Si-CMOS 製造技術を用いてアナログデジタル変換部の試作を実施し、評価検証を行ってきたが、更なる微細化プロセスに移行するに当たって、以下のような変更を行った。

- (1) 最適入力電圧振幅の低減
- (2) 入力インターフェース周波数帯域の拡大

(1) 最適入力電圧振幅の低減は、更なる微細化プロセスへの移行による低電圧動作化、全体的な回路面積縮小による回路要素パラメータの変更により実現した。(2) 入力インターフェース周波数帯域の拡大は、更なる微細化プロセスへの移行によるトランジスタ動作周波数の向上、回路面積縮小による配線長の短縮により実現し、従来得られていた周波数帯域からの拡大を目指した。

課題 2-ア-3 において試作した統合デジタル信号処理機能部に、本設計に基づくアナログデジタル変換部を搭載した。そして、課題 2-ア-3 が提供する統合デジタル信号処理機能部を用いて実デバイスによるアナログデジタル変換部の入力特性の評価を実施し、所期の性能を満たすことを確認した。

以上のように、平成 22 年度計画で課題としていた入力振幅特性に着目して検証を行い、アナログデジタル変換部の入力インターフェース設計を完了した。さらには、統合デジタル信号処理機能部に搭載して試作、評価を実施し、本課題の最終目標を達成した。

2-ア-2-2 出力インターフェース技術

アナログデジタル変換部とデジタル信号処理部を接続する出力インターフェース部では、そこで発生する 2Tbps スループットの信号伝送を効率的に行うとともに、光フロントエンド部での不完全性を補償することで後段のデジタル信号処理部の動作を安定させることが必要である。これに対して、出力インターフェース方式技術、スキュー・振幅補償回路技術、各種モニタ機能の方式・回路実装技術により、出力インターフェース技術を確立した。

出力インターフェース方式の研究開発では、複数の方式の比較の結果、アナログデジタル変換部とデジタル信号処理部を同一チップ上で形成し、デジタル信号処理部と同じ CMOS Standard Logic 回路形式のバッファを用いて信号伝達することが最も低消費電力・小面積で実現できることを明らかにした。スキュー・振幅補償回路の研究開発では、システムで必要と想定される各レーン間のスキュー量 ($\pm 3\text{psec}$ 以下) を実現するため、2 タップ-FIR フィルタのタップ係数をスキュー調整方向 (プラス方向 or マイナス方向) に応じて切り替える新しい回路実装方式を提案し、従来方式に比べ約 47%の回路規模削減を実現した。各種モニタ回路技術においては、4 つのモニタ機能に関して方式検討・回路実装検討を行った。4 つの機能として、DC レベルモニタ、AC レベルモニタ、クリッピングモニタ、信号断 (Loss of Signal; LOS) 検出モニタとした。DC レベルモニタ回路は、小規模な回路構成で平均化が可能な IIR フィルタ回路を最適設計した。さらに、予め計算により算出した複数の平均化時定数を、動作状況に応じてプリセット切り替えることにより、必要な平均化精度を保ちながら最小限の回路規模で DC レベルをモニタすることを実現した。AC レベルモニタ回路では、各レーンの入力信号の 2 乗平均 (Root Mean Square; RMS) 値をモニタする回路を実装している。クリッピングモニタ回路は、所定の閾値を越えるサンプルを計数し、閾値設定は正負対称とすることで回路規模の削減を図った。LOS 検出モニタ回路は、クリップ検出をベースとした回路で、入力信号振幅が所定の値を下回るか否かをモニタする方式とした。いずれのモニタ回路について、モニタ時間、精度の最適化を行い出力インターフェース部動作確認に必要な性能の確保と、並列化処理などの回路実装方式の工夫により、約 78%の回路規模削減を実現した。

開発した出力インターフェース方式を回路実装レベルで実証するため、RTL レベルの設計を行い上述の回路規模削減を適用した結果、58%の回路規模・電力削減を達成した。更に、本回路方式によって所望のシステム特性を達成することを確認するため、システム統合機能モデルを作成し、出力インターフェース部と信号処理機能の連携動作を検証した。機能を記述した高位言語モデルと、RTL 記述レベル間での性能差異をシミュレーションで比較したところ、有効ビット数換算で劣化量わずか 0.02bit という高精度な回路が生成されていることを示した。これらの開発技術により、出力インターフェース部および

それに必要な前処理技術を RTL レベルで技術確立し、目標を達成した。

2-ア-2-3 アナログデジタル変換方式

100Gbps 超のスループットを有するデジタルコヒーレント技術に適用可能な、50GS/s 級 6bit 分解能の ADC/DAC 技術に関して、シミュレーションにより A/D 変換器に要求される性能を明確にして、最適な A/D 変換方式を選択し、A/D 変換部の部分試作を行うことで、特性の確認や A/D 変換器全体の性能推定ならびに必要な改良設計を行い、要求性能を満足する A/D 変換器を実現する。

逐次比較型 A/D 変換器はオペアンプを用いずに、スイッチ、比較器および容量のみで演算するので、定電流が流れないため低消費電力であり、また、プロセスの微細化に適した方式である。しかし、N ビット変換に約 N+2 クロック必要なため、変換速度が遅くなる。このため、高速化を図るために多相クロックで多段インターリーブしてサンプリングする、インターリーブド逐次比較型 A/D 変換器が提案されている。

このインターリーブド逐次比較型 A/D 変換器は、低消費電力で高速動作が可能であることから本方式を採用した。デジタルコヒーレント受信の性能を制限する要因として、アナログ信号をデジタル信号に変換する A/D 変換動作の誤差が重要となるが、QPSK をベースとした変調方式においては、デジタル変換時の有効な分解能として 5bit 以上が求められる。現実の A/D 変換器はアナログ信号を階段状に近似したことによる量子化誤差と、回路の不完全性による様々な誤差が含まれる。A/D 変換器のビット数に対して有効ビット数 (ENOB: Effective Number of Bit) は低下するので、受信性能を確保するには必要とする有効ビット数より大きなビット分解能を持つ A/D 変換器を回路実現する必要がある。

ENOB は、実際の SN 比 (SNR) から $ENOB = (SNR - 1.76) / 6.02$ により算出できるため、適用プロセス・動作速度等を勘案し、5 ビット以上の ENOB 実現を目指して、A/D 変換器のビット数を 8 ビットとした。40nm CMOS プロセスを適用して設計した 4 チャンネル集積 50GS/s 級 8bit A/D 変換器の試作デバイスの動作検証および統合検証を行った。

試作デバイスの 4 チャンネルの各 A/D 変換器に、信号発生器 (Signal Generator) からの 2GHz 等のサイン波を分配器により分配した後、180°ハイブリッドで差動信号化して入力した。アナログデジタル変換された出力データを PC で読み出して FFT 解析した結果、ENOB は 4 ビットであった。A/D 変換回路内のレベルシフト回路によるスプリアスが ENOB を劣化させており、本回路を削除しても正常動作が可能な見込みが得られたことから、5 以上の ENOB を実現できる目処が得られた。また、SFDR (Spurious Free Dynamic Range) は 35dBFS (A/D 変換器のフルスケール基準) であった。ENOB と同様にレベルシフト回路によるスプリアスによって劣化しており、本回路を削除することで、50dBFS 以上となる目処が得られた。

以上のように、100Gbps 超のスループットを有するデジタルコヒーレント技術に適用可能な、50GS/s 級 6bit 分解能の ADC 技術の動作検証、改良検討、ADC 技術の確立を完了した。また、100Gbps 超のスループットを有するデジタルコヒーレント技術に適用可能な 50GS/s 級 6bit 分解能の ADC 技術の高集積化検討と統合検証を行い、ADC 技術の確立を前倒しして達成し、到達目標は 100%達成した。

2-ア-2-4 パッケージ実装技術

100Gbps コヒーレント伝送におけるアナログデジタル変換部とデジタル信号処理部は、超高速で動作することが要求され、ノイズ、クロストークの抑圧が課題となる。また、デジタルコヒーレント信号処理集積回路を、実用的なシステムに収容できる規模・消費電力で実現することが重要となる。100Gbps

超のスループットを有するデジタルコヒーレント技術に適用可能なアナログデジタル変換部を実現するため、要求特性を保ちつつパッケージ実装及び放熱対策の双方が理想的に動作することが技術課題となる。

本研究課題では、アナログデジタル変換部とデジタル信号処理部を接続・収容するパッケージについて放熱シミュレーションを行い、双方が理想的に動作するためのパッケージ実装条件の検討を行った。

開発手法として、OIF (Optical Internetworking Forum) Implementation Agreement に準拠した形状のオンボード型光トランシーバの部品実装を 3 次元モデル化し、ノイズ、クロストーク等に関する高周波実装に関しては、電磁界解析シミュレータを用い、放熱特性に関しては、熱解析シミュレータをそれぞれ用い評価を行った。

はじめに、パッケージ実装条件を導き出すためにパッケージモデルを作成し、シミュレーションにより S21 特性及び S11 特性を確認した。この結果より、20GHz 周辺において S21=1.5dB 程度、S11=<10dB 程度の特性を確認することができた。これによりパッケージ実装条件を導き出した。

次に、放熱条件を導き出すため OIF 寄書“Consideration on 100G LH Module temperature and heat dissipation” (oif2009.336.02) 記載の放熱シミュレーションモデルを参照し、更に、前述寄書記載の放熱シミュレーション結果よりもデジタルコヒーレント信号処理集積回路の消費電力が増えた環境下で動作可能となる放熱の対応策を検討した。

この結果、実装条件をより細かく見直すことにより効率的な放熱が可能となる実装条件を導き出すことができた。具体的にはデジタルコヒーレント信号処理集積回路の消費電力を 25W, 30W, 35W, 40W, 50W の条件に設定し、実装条件を見直したモデルを使用して放熱シミュレーションを実施した。この結果より、デジタルコヒーレント信号処理集積回路の消費電力が 35W の環境下でもケース温度 85℃以下を確保することができ、oif2009.336.02 の結果と比較して消費電力が 10W 増加しても放熱できる条件を導き出した。上記より、パッケージ実装技術を確立した。

2-ア-3 デジタル信号処理統合検証技術の研究開発

課題 2-ア-3 では、平成 22 年度に課題 2-ア-1-1～課題 2-ア-1-4 までを統合したハードウェア記述言語の統合モデルを生成し、識別データの誤り率を評価指標として用いてその性能を評価した。光ファイバ伝送路を模擬するシミュレーションにより波形歪みを受けた入力波形を被評価モデルへ入力し、統合機能モデルで得た期待値と様々な波形歪み条件にて比較し、誤り率から計算される Q 値の差分が目標値 0.15dB 以下に収まるように、課題 2-ア-1-1～1-4 へフィードバックを行った。さらに、回路規模、帯域制限耐力などの観点から統合モデルを評価し、現実的な回路設計となるようにフィードバックした。その上で、課題 2-ア-2 アナログデジタル変換／統合技術方式技術を統合した設計試作を実施し、図 3 に示す評価プラットフォームを構築した。さらに、評価プラットフォームを用いて、100Gbps 超の偏波多重四値位相変調信号光を入力して、リアルタイム動作が可能な設計であることを確認した。

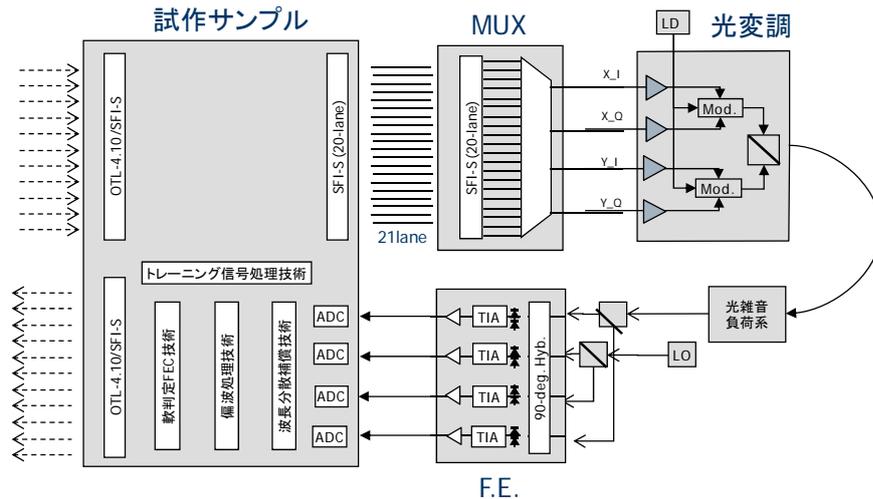


図3 統合設計試作の評価プラットフォーム

統合デジタル信号処理機能部の試作検討結果を用いて構築した評価プラットフォームに対して、光伝送システムにおける様々な信号劣化要因を統合的に負荷して、詳細なリアルタイム動作評価を行った。波長分散、偏波モード分散、偏波変動、光雑音などを複合負荷した条件においても、安定したリアルタイム動作を実現できることを確認すると共に、評価結果を課題2-ア-1～課題2-ア-1-4へフィードバックした。各課題において検証結果を反映して改良された機能モデルを統合して誤り率評価を行い、更に各課題のRTLモデルを統合してRTL統合モデルを生成し、ハードウェアエミュレータを用いて、機能モデルとの等価性評価を行った。光ファイバ伝送路を模擬するシミュレーションにより、波形歪みを受けた入力波形を生成して被評価モデルへ入力し、被評価モデルから出力される識別データの誤り率を用いて、機能モデル/RTL統合モデルの性能を評価した。さらに、消費電力の大幅な削減を目指して、配置配線・タイミング検証をトライアルし、消費電力評価を行った。機能モデルの期待値を満足し、消費電力を削減するようRTL統合モデルへのフィードバックを行い、当初の設計に比較して、約35%の電力削減の見通しを得た。

課題2-ア-1-1～課題2-ア-1-4、及び、課題2-ア-2で改良されたトレーニング信号処理技術、波長分散補償技術、偏波処理技術、軟判定FEC技術、アナログデジタル変換/統合方式技術を統合する統合デジタル信号処理機能部の試作を行い、リアルタイム動作評価を行った。光導通試験においてエラーフリー動作を確認し、改良された統合デジタル信号処理機能の基本動作を確認した。また、消費電力の大幅な削減を確認し、本課題の目標であるデジタル信号処理統合検証技術を確立し、所期の目標を100%達成した。

2-イ 100Gbps デジタルコヒーレント光送受信技術の研究開発

2-イ-1 光送受信技術の研究開発

2-イ-1-1 受信フロントエンド技術の研究開発

課題2-イ-1-1ではデジタルコヒーレント受信フロントエンド技術の確立に向けて研究開発を行った。偏波分離回路(PBS)と90度ハイブリッドからなる光信号処理部には小型・低損失・低位相誤差特性に優れる石英系平面回路(PLC: Planar Lightwave Circuit)を適用し、PD(Photo-Diode)及びTIA(Trans-Impedance Amplifier)からなる電気信号処理部には各々高速・高効率PD技術及びInP HBT(Indium Phosphide Hetero-junction Bipolar Transistor)技術を適用した。平成22年度は、全ての信

号処理部を一つの管体の中に集積化する集積型受信フロントエンド技術確立に向けて、光信号処理部と電気信号処理部を統合する接続技術を確認し、集積型受信フロントエンドの実装技術について検討した。平成 23 年度は、集積型受信フロントエンド技術の確立、具体的には、集積型受信フロントエンド実装技術を確認し、高性能化を進めるとともに、デジタルコヒーレント信号受信動作を検証することを目標に研究を行った。

集積型受信フロントエンド実装技術では、PCB 基板上への半田実装技術の確立を目標に検討を進めた。半田接続強度を確保するためには半田実装部の品質評価が重要であることを指摘し、実装部断面 SEM 観察及び組成分析を通して、半田実装において把握すべき要件を明確化した。

集積型受信フロントエンドの高性能化においては、モジュールサイズの小型化技術の確立を目標に検討を進めた。第 1 のアプローチとして、平成 22 年度までに確立したモジュールの基本構造を基に薄型化の検討を熱変位シミュレーションにより実施して、OIF 準拠サイズよりもさらに小さな 50mm x 27mm x 6mm のモジュールの実現見通しを得た。第 2 のアプローチとして、長手方向の小型化を目指して DC リードピン数を削除することを目的にシリアルインターフェース (IF) 技術の検討をおこなった。上記シリアル IF 技術の機能を搭載したサブ基板によりその動作を検証するとともに、カスタム IC で実現した場合の回路機能検証をおこない、チップサイズと消費電力を見積もってモジュールへの適用性を検証した。さらに、第 3 のアプローチとして、半導体チップの電極面と配線基板の電極面をフェーストゥフェースで接続するいわゆるフリップチップ実装技術の確立を目標に、プリント基板材料として半導体チップの熱膨張係数と同等な特性を備えた新たな材料の適用を検討し、高速電気信号を伝播させた際の損失や反射特性について良好な特性を確認した。

平成 22 年度に確立した集積受信フロントエンド実装技術及び上記の半田実装技術の検討結果を踏まえて設計された一体集積型受信フロントエンドを用いて、デジタルコヒーレント信号受信動作の検証を実施した。128Gbps DP-QPSK 信号によるオフライン Q 値評価を実施して図 4 に示すような受信特性を確認した。

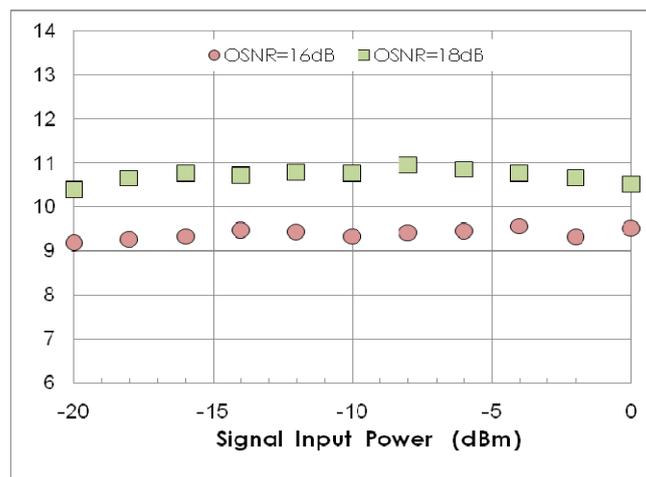


図 4 128Gbps DP-QPSK 信号による Q 値特性

以上述べたように、集積型受信フロントエンド実装技術を確認して高性能化を進めるとともに、デジタルコヒーレント信号受信動作を検証し、集積型受信フロントエンド技術を確認するという目標を達成した。

課題 2-イ-1-2 ではデジタルコヒーレント信号のモジュレーション技術確立に向けて研究開発を行った。具体的には光信号の合分岐及び光ファイバへのインターフェースに優れた石英系平面回路 (PLC: Planar Lightwave Circuit) と、高速位相変調特性に優れたニオブ酸リチウム (LN) をハイブリッド集積したモジュールを実現することを目標としている。2つの PLC チップにより LN 変調器アレイを挟み込んだ構成であり、偏波毎に QPSK 変調器を備え、この出力を偏波ビームコンバイナ (PBC: Polarization Beam Combiner) で合波する。各 QPSK 変調器はさらに 2つの子 MZI (Mach Zehnder Interferometer) から構成されている。平成 22 年度は、ハイブリッド型モジュレーション技術における構造最適化および小型実装技術の確立を目標に検討を行った。具体的には、ボード評価に適し、OIF に準拠した送信変調器の小型化を行った。平成 23 年度は、引き続きハイブリッド型変調器実装技術に取り組み、その実装技術を確認し、高性能化を進めるとともに、デジタルコヒーレント信号送信動作を検証した。

ハイブリッド型変調器実装技術では、ハイブリッドチップをパッケージに実装したモジュールで環境温度変動等の条件化も含めた評価を行い良好な特性が得られていることを確認した。まず光挿入損失等については評価した結果、複数のサンプルで OIF 要求値を満たす良好な特性であることを確認した。さらに環境温度が変動する状況下でも、光挿入損失や反射損失の変動は低く抑えられ良好な値であることを確認した。以上のことから、変調器実装技術を用いたモジュールは、環境変動を考慮しても良好な特性であることを確認した。

さらにモジュールにおいて、100Gbps のデジタルコヒーレント信号送信動作の評価を行った。具体的には 100Gbps DP-QPSK 変調動作を確認するために、データ速度 112Gbps に相当するボーレート 28Gbps での光波形、光スペクトルを評価して、図 5 に示すように良好な波形と光スペクトルが得られていることを確認した。さらにその変調信号で Q 値の測定を行い良好な値を得た。

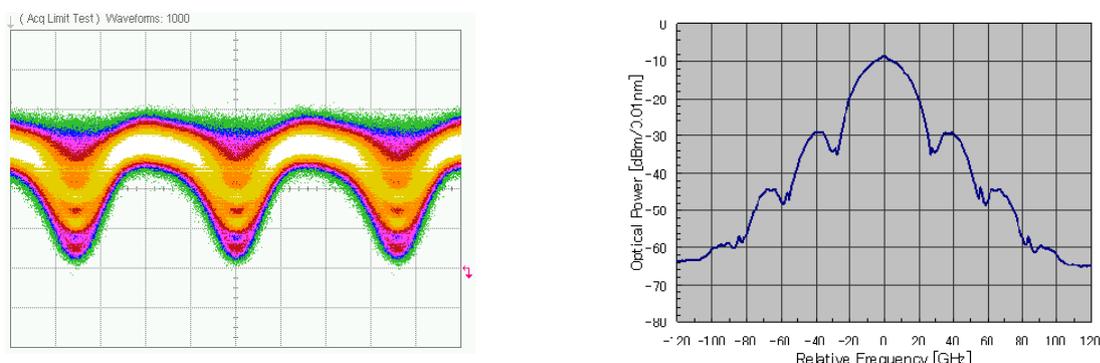


図 5 変調信号の Eye 波形、及び光スペクトル

以上のように、石英-LN 技術を用いた 100Gbps DP-QPSK 変調器モジュールにおいて、環境変動も考慮した評価を行い本実装技術が良好な特性を実現できることを確認した。さらに 100Gbps のデジタルコヒーレント信号送信動作を行い良好な変調動作が得られることを確認し、モジュレーション技術を確認するという目標を達成した。

2-イ-1-3 光トランシーバ技術の研究開発

OIF (Optical Internetworking Forum) で策定された MSA (Multisource Agreement) 規格に準拠した形状 (127mm×177.8mm×17mm) のオンボード型トランシーバを実現するためには、OIF 準拠の受信フロントエンドと ADC/DSP の 31.79Gbaud×4ch (XI, XQ, YI, YQ) ×2ch (P/N) の特性劣化を最

小限にした超高速アナログ信号のプリント基板配線技術の両者を実現することが需要である。

上記光トランシーバを実現するための技術は、(1) 各電気光部品の高安定制御技術、(2) 高効率放熱技術、(3) 高周波実装技術の3点であり、そのうち(1)は各部品で既に確立している。平成22年度では、残る2点の技術に関する検討を行った。また平成23年度では、オンボード型光トランシーバを試作し、主に受信特性の性能向上に関する検討を行った。

受信フロントエンドとデジタルコヒーレント信号処理集積回路のアナログ-デジタル変換(以下、A/D変換)部間は、上述の通り超高速アナログ信号の接続が必要であり、A/D変換部へのアナログ信号の入力振幅が、再生されたデジタル信号の品質に大きく影響する。このため、A/D変換部の入力振幅、すなわち、受信フロントエンドの出力振幅の適切な調整が重要となる。

光トランシーバは、送信側に外部変調とそのドライバ、受信側に光90度ハイブリッドと光電変換部から構成される受信フロントエンドなどで構成される。このうち同軸ケーブルで接続する多重化回路ードライバ-外部変調器、プリント基板上で配線する受信フロントエンド-A/D変換部は、高周波結線が必要となる。

プリント基板上での高効率放熱技術・配線技術の確立を目的として、デジタルコヒーレント信号処理集積回路の機能評価を実施する評価ボードの設計試作を行った。評価ボードは、光トランシーバの基板に配線される高発熱および高周波接続を含んでおり、実装サイズの制約はないものの、本評価ボードの設計を通じ、放熱・高周波接続の基本技術を確立することが可能となる。

評価ボードの放熱特性・高周波実装特性を確認するために、オンボード型光トランシーバを模擬した評価系を構築して実施した。100Gアナライザをクライアント信号源とし、OTU4フレームに格納したPRBS31段のデータをデジタルコヒーレント信号処理集積回路に入力し、多重化回路、ブレッドボード型光送信器を介して光送信信号を生成する。この光信号を受信側にループバックに接続し、受信フロントエンド、デジタルコヒーレント信号処理集積回路を介して100Gアナライザで確認した。その結果、100Gbpsリアルタイム信号によるループバック評価において、クライアント信号源、検出部である100Gアナライザでのエラーフリー動作を確認した。

以上により、オンボード型光トランシーバに必要となるプリント基板上への高周波実装技術の確立が確認でき、高効率放熱技術の確立も合わせて確認できた。

平成23年度では、前年度の評価結果をフィードバックし、また、課題2-イ-1-1の受信フロントエンド技術の成果を適用した、OIFに準拠した形状のオンボード型光トランシーバを試作した。課題2-アのデジタル信号処理部と課題2-イ-1-1の受信フロントエンド部を接続する32Gbaud×4ch×2chの超高速アナログ信号の特性劣化が最小限、且つ、OIF準拠形状に収まるオンボード型光トランシーバの試作及び特性検証を実施した。

具体的には、オンボード型光トランシーバにおける超高速アナログ信号の入力振幅の最適化を行い、受信フロントエンドからアナログ信号処理部に至る周波数特性を最適に調整して、平成22年度成果の評価ボードと、オンボード型光トランシーバのそれぞれのOSNR特性を測定し比較を行った。



図 6 オンボード型光トランシーバ外観

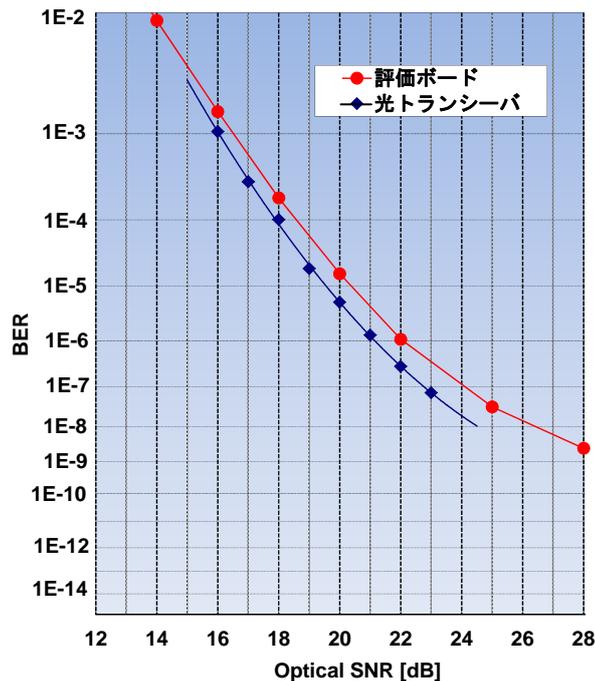


図 7 オンボード型光トランシーバと評価ボードの OSNR 特性比較

この結果、オンボード型光トランシーバは、評価ボードと比較して受信特性に関して性能向上し目標特性を満足していることを確認できた。本成果により、光トランシーバ技術を確立した。

2-ウ 100Gbps デジタルコヒーレント光伝送方式評価技術の研究開発

2-ウ-1 クライアント信号処理部評価技術

100GbE クライアント信号のフレーム処理を行い、100Gbps 級デジタルコヒーレント伝送に適したフレームマッピング・デマッピング回路の試作を実施した。光伝送フレームマッピング・デマッピング回路は2つの書き換え可能な FPGA 上に実現した。100GbE クライアント信号の光-電気変換を行う CFP 光トランシーバ (100Gbps の挿抜可能な光トランシーバ) と、課題イにて検討を行っているデジタルコヒーレント用トランシーバを接続できる構成とした。作製した回路をサブシステムに実装し評価を行った。100GbE アナライザをクライアント側に接続し、光伝送モジュール側出力インターフェース部手前での折り返し試験により、光伝送用フレームマッピング回路・光伝送用フレームデマッピング回路の主信号疎通試験を実施し、所期の動作を確認した。また、光伝送用トランシーバ側に OTU4 アナライザを接続し、光伝送用フレームが生成されていることをそのオーバーヘッド情報を確認することにより実施し

た。

次に、現状主流のクライアント信号である 10GbE 信号を多重収容し、100Gbps 級デジタルコヒーレント伝送に適した光伝送フレームマッピングを行い、また 100Gbps 光伝送フレームより分離処理を行って 10GbE クライアント信号を復元するフレーム多重化回路を作成した。アナライザからの 10GbE クライアント信号を 100Gbps 級光伝送フレームへ多重化マッピングし、100Gbps 級光トランシーバへ出力する前に内部でループバックし、ループバックされた信号を分離処理した後、元の 10GbE 信号を復元し、10G アナライザにて信号の品質をモニタした。実機では、10GbE クライアント信号のクロックを $\pm 20\text{ppm}$ の範囲で変化させた時の信号疎通特性、並びに MAC フレーム長を変化させた時の信号疎通特性にて評価を行い、いずれの条件においてもエラーフリーで信号疎通ができることを確認した。

また、10Gbps の信号を用いて 100Gbps 信号の誤り訂正特性を評価する回路の開発を行った。100Gbps デジタルコヒーレントトランシーバに搭載されている LDPC 符号との組み合わせにより高い誤り訂正特性が得られることを確認した。上記により当初目標を 100%達成した。

2-ウ-2 システム評価技術

100Gbps 級信号伝送の実環境への適用性を検証するため、100G デジタルコヒーレント LSI を実装したリアルタイムトランシーバ試作機を用いた偏波多重 QPSK 信号の送受信系を構築、敷設ファイバから構成されるフィールドテストベッドを構築し、128Gbps リアルタイムデジタルコヒーレント WDM (Wavelength Division Multiplexing) 伝送実験による伝送特性評価を実施した。96.8km の敷設ファイバ 6 スパンから構成される 580km の伝送路を構築し、波長 1573.5-1577.9nm の範囲に 50GHz 間隔で配置された 11 波 WDM128Gbps 偏波多重 QPSK 信号に対して伝送後の Q 値を測定した。偏波モード分散耐力、偏波依存損失耐力に加え、100G デジタルコヒーレント LSI の動特性を評価するために、偏波変動耐力評価を実施した。評価結果を図 8、9 示す。WDM 伝送に伴う非線形光学効果、フィールド環境が有する偏波モード分散、偏波依存損失に起因した特性劣化が発生することなく、フィールド環境においても安定した特性が実現されることを実証した。

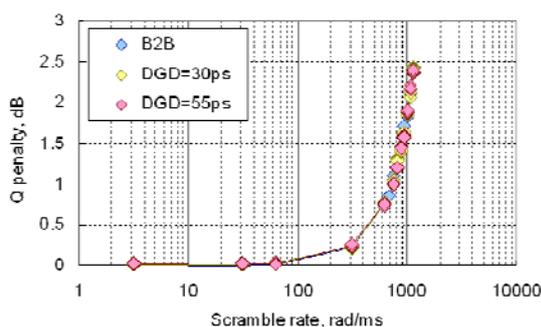


図 8. 偏波変動耐力の DGD 依存性

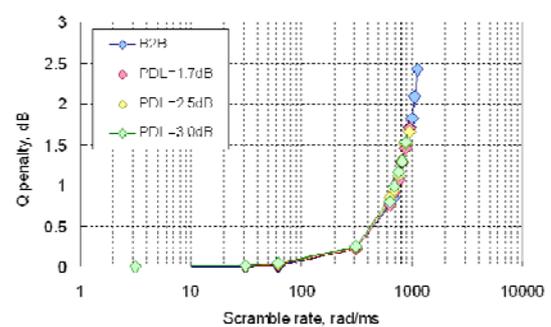


図 9. 偏波変動耐力の PDL 依存性

信号経路の切替時における復旧時間の評価を実施した。検証系を図 10 に示す。光スイッチを用いて 2 スパンの系 (波長分散 350ps/nm) から 6 スパンの系 (波長分散 1097ps/nm) への切替を行い、信号の復旧時間を測定した。評価結果を図 11 に示す。経路切替に伴う波長分散の再推定、適応フィルタの再収束が行われ、信号光の切替完了から 12msec で信号が導通することを確認し、高速復旧動作を実証した。

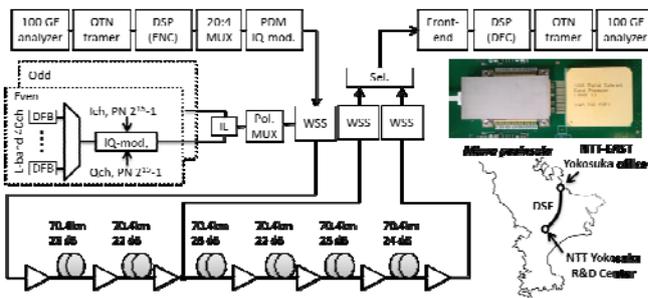


図 10. 経路切替検証系

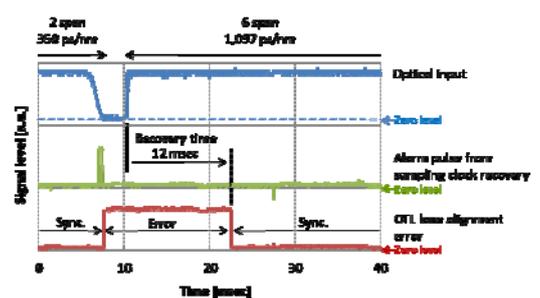


図 11. 経路切替時の信号復旧

以上の評価により、100Gbps デジタルコヒーレント光送受信技術に関して、本開発技術のコンセプトを実環境下において実証し、所期の目標を 100% 実証した。

3. 3 宛先切替技術の研究開発

宛先切替の技術課題を解決するための方式の確立およびハードウェア実装の設計・試作を行い、動作検証により性能評価を実施する。また、クライアント信号収容部とクライアント信号制御部の相互接続技術を確認し、相互接続動作検証を行うとともに、超高速光エッジノードとしての動作実証を行い、全体的な評価を実施する。

3-ア OTN タイムスロットアサインメント処理方式の研究開発

任意クライアント信号を収容し、ビットレート毎にそのフレーム周期が異なる LO ODU 単位での分岐・挿入を行う宛先切替機能を、課題 1 において研究開発を行った LO ODU を変換した共通フレームをタイムスロットとして完全タイミング同期で宛先切替を実現する OTN タイムスロットアサインメント処理方式を開発した。本タイムスロットアサインメント処理方式を実証するために、10Gbps クラスの容量を持ち 10Gbps クラスで動作する光トランシーバを有する超高速光エッジノードの評価ボードを設計・試作し、クライアント信号としてギガビットイーサネットまたは SDH STM16/SONET OC48 を収容した LO ODU の任意入出力ポート間での誤り無しの信号疎通を確認した。また、クライアント信号制御部の宛先切替指示から宛先切替完了までを、要求である 50ms 以内で実現可能なことを実証した。更に、本方式による宛先切替部の Gbps 当たりの消費電力を実測し、パケットスイッチベースと比較して約 1/4 という低消費電力で宛先切替機能を実現可能であることを確認した。

前記の 10Gbps 容量のタイムスロットアサインメント処理部を複数用いて 100Gbps クラス容量のタイムスロットアサインメント処理部をビルドアップで構築するための回路を設計し、100Gbps クラスで動作する光トランシーバを有する評価ボードを試作し動作検証を行った。クライアント信号として 10 ギガビットイーサネットを収容した LO ODU を任意入出力ポート間での誤り無しの信号疎通、宛先切替機能の動作を確認した。

以上の評価により、100Gbps クラスで動作する超高速光エッジノードとしての動作を実証した。

3-イ クライアント信号の分岐・挿入技術、ジッタ抑圧技術の研究開発

10Gbps または 100Gbps クラスで動作する光トランシーバを有する超高速光エッジノードの評価ボードを 4 枚用いて 4 ノードリングの試験系を構成し、ギガビットイーサネット、10 ギガビットイーサネットおよび SDH STM16/SONET OC48 信号に対して、障害発生時の信号瞬断後、品質モニタ結果による障害復旧のための切替動作により信号が再度疎通する動作を確認した。SDH/SONET アナライザまたは

イーサネットテストによる評価の結果、障害発生による信号断から障害復旧による信号再疎通までを、要求である 50ms 以下で実現することを確認した。以上より、ODU 単位での障害宛先切替機能を実現する基本技術を確立できた。

低消費電力化を考慮した宛先切替処理部の構成に関する検討および信号疎通に利用されない未使用回路部分の電力制御による低電力化の検討を行った。その結果、大規模な宛先切替処理部を構成する際、小型の宛先切替処理部を複数用いたビルディングブロック構成により宛先切替部を構成した方が低消費電力に優れることを示した。一例として 160×160 の宛先切替部の構成を考えた場合、160×160 の LSI を 1chip 用いて構成した場合と比較して、40×40 の LSI を 4chip 用いて構成した方が約 1/2 の消費電力で構成可能なことを示した。

また、宛先切替部より出力された LO ODU 信号からクライアント信号を抽出する際、GMP 処理により発生するジッタ抑圧方式の検討を行い、前記に示した評価ボードによりその効果を検証した。

3. 4 研究開発成果の社会展開のための活動実績

本プロジェクトでは、国際標準化活動、成果発表会、フォーラム活動、報道発表等を通じて本プロジェクトで得られた成果について積極的に発表し、技術トレンドを牽引してきた。以下、各項目において記載する。

3. 4. 1 標準化活動

ITU-T: 本研究開発成果に基づくノード構成技術に関して、ITU-T SG15 会合で議論された OTN (Optical Transport Network) のインターフェース (G.709/Y.1331 勧告)、装置機能 (G.798 勧告) に関する寄書を 3 件提案し、勧告に反映させた。

OIF: 本研究開発成果に基づく光トランシーバ技術に関して、OIF 実行中プロジェクトである 100GLH Module Management Interface へ 1 件、100G Long-Haul DWDM Transmission Module – Electromechanical へ 1 件の寄書提案を行った。

3. 4. 2 成果発表会・展示

以下の国際会議や社内外の展示会、さらにはシンポジウム開催等を通して、受託各社の得られた成果とその意義について積極的に発表してきた。

- NTT R&D フォーラムパネル展示 (2011 年 2 月 21 日～23 日 NTT 武蔵野研究開発センタ)
NTT が、お客様、事業会社、産学官関係者にむけ、成果をパネル展示
- ICC 2011 パネル展示 (2011 年 6 月 6 日～8 日 京都国際会議場)
受託 4 社が各展示ブースで得られた成果をパネル展示
- NTT R&D フォーラムパネル展示 (2012 年 2 月)
NTT が、お客様、事業会社、産学官関係者にむけ、成果発表パネル、試作回路リアルタイム動作映像を展示
- YRP シンポジウム (2012 年 3 月 15 日 横須賀市 YRP1 番館)
受託 4 社が、シンポジウムで成果発表を行うとともに各展示ブースで得られた成果をパネル展示
- NEC 国際学会 NFOEC2012 での論文発表 (2012 年 3 月 米国ロサンゼルス)
50,000ps/nm 以上の波長分散補償機能の実証実験について、論文発表を行った。
- 富士通 2011 年電子情報通信学会総合大会 (2011 年 3 月 15 日)

TDM スイッチベースの OTN クロスコネクシステムの検討結果の発表

- 富士通 2011 年国際電気通信会議 (ICC2011) (2011 年 6 月 6 日～9 日)
100G 光トランシーバ技術展示
- 富士通 37th European Conference and exhibition on Optical Communication (ECOC2011)
(2011 年 9 月 18 日～22 日)
100G コヒーレントデジタル信号処理部の展示
- 富士通 ITU TELECOM WORLD 2011 (2011 年 10 月 24 日～27 日)
100G 光トランシーバの展示

3. 4. 3 フォーラム活動

超高速フォトニックネットワーク開発協議会の活動の元で、本受託研究において開発した技術を一部適用したデジタル信号処理回路を用い、100Gbps クラスのコヒーレント光伝送モジュールの異ベンダ間接続実験を実施した。100Gbps クラスの光伝送信号が世界で初めて異ベンダ間で相互に接続可能であることが接続実験により実証された。本接続実験の概要について PIF ワークショップにて広くアピールした。(2012 年 2 月 22 日 SCAT 会議室)

3. 4. 4 報道発表

得られた成果については、国内・海外にむけ各社からタイムリーにマスメディアを通して情報発信をし、日本の国際競争力のアピールを行った。

- ECOC2011 開催に合わせた 100G トランシーバの報道発表「100Gb/s デジタルコヒーレント光トランシーバを販売開始 - バックボーンネットワークの高速、大容量化を実現 -」2011 年 9 月 19 日 (富士通オプティカルコンポーネンツ株式会社)
- 「太平洋横断光海底ケーブルシステムの高速大容量化」報道発表 2011 年 11 月 10 日 (三菱電機)
- 高速波長分散推定動作に関するフィールド実験に関して報道発表「世界初、100Gbps 及び 40Gbps 光通信のプラグアンドプレイを超高速で実現～デジタルコヒーレント光伝送による超高速自動設定技術を敷設ファイバ環境下で実証～」2011 年 11 月 24 日 (NTT・NTT コミュニケーションズ)
- “100Gbps の超高速大容量ネットワークを構築する「パケット統合光システム」を販売開始”の報道発表 2011 年 12 月 14 日 (富士通)
- 「NTT エレクトロニクスが低消費電力 100G 用デジタルコヒーレント DSP-LSI を製造・販売開始」報道発表 2012 年 2 月 29 日 (NTT エレクトロニクス株式会社)
- OFC/NFOEC2012 展示会での 100G 光トランシーバ動態展示報道発表「次世代 100 ギガビットイーサネットに対応した光トランシーバの動態展示を OFC/NFOEC 2012 において実施」2012 年 3 月 2 日 (富士通オプティカルコンポーネンツ株式会社)
- 超高速光ファイバ伝送システム向け歪み対策技術の開発に関する報道発表「超高速光ファイバー伝送システム向け補償回路の消費電力を約 1/3 に削減する革新的な歪み対策技術を開発」2012 年 3 月 9 日 (富士通)

4 研究開発成果の社会展開のための計画

日本電信電話株式会社

本研究開発を通して得られた波長分散推定技術は、他課題においてハードウェア実装され、実環境でも所要動作が確認されたことから、今後は、光ネットワークのマルチホップ化を可能とする機能として重要性が増していくと期待される。また波及効果としては、ネットワークの切替えや迅速な復旧を要求される災害対応などにおいても研究開発成果の活用が期待される。

アナログデジタル変換／統合方式における入力インターフェース技術は、他のアナログデジタル変換／統合方式と組み合わせて、100Gbps 光信号に対応したアナログデジタル変換回路のハードウェア実装を可能とし、100Gbps 級デジタルコヒーレント光伝送技術実現に寄与することが期待される。

デジタル信号処理統合検証技術に関する研究では、100Gbps 級デジタルコヒーレント光伝送に必要な要素信号処理機能群を統合化し、実際に集積回路（DSP）として実装できた。さらに、他課題で DSP を実装した光伝送がリアルタイムで可能であることが実証できた。本研究成果を受け、DSP の商用を意識した商用化開発を進める予定である。本研究開発での試作 DSP は、機能、性能の面からも世界のトップに位置付けられることから、商用化開発を加速することで、国際競争力のある技術を市場において展開していけることが期待される。

受信フロントエンド技術の研究開発では、石英平面回路技術と InP HBT 技術とを組み合わせた光フロントエンドの小型実装技術を確立するとともに、100Gbps 級光信号受信動作も実証できた。また、モジュレーション技術の研究開発においては、石英系平面回路とニオブ酸リチウム光変調器とのハイブリッド実装技術を確立し、標準 OIF に準拠した送信モジュールをいち早く実現するとともに、100Gbps デジタルコヒーレント信号動作実験を通して良好な特性も確認でき基本技術を確認できた。これらの光送受信技術は、商用に向けさらに開発等を進めていく。

クライアント信号処理フレーム処理技術については、WAN 側の 100Gbps 級信号と LAN 側の 100GbE および 10GbE×10ch 信号とのフレーム変換を実現することで、既存の LAN-IF を持つスイッチやルータとの接続が可能となり、本研究開発における他課題の研究成果と統合化され 100Gbps 級光伝送システムとして実現性を高めることが期待される。

システム評価技術では、実環境下でのリアルタイム 100G デジタルコヒーレント光伝送評価に必要な評価技術を確立することができた。また、評価技術を用いて、実際に本研究開発成果を用いたリアルタイム 100Gbps 光送受信系を評価した結果、東京－大阪間距離（580km）程度は信号品質劣化なく信号伝送が可能であることを実証し、商用化に向けた技術上の目途を立てることができた。一連の評価技術および評価結果は、本研究開発成果を一部用いた 100Gbps 級の超高速光伝送方式を実ネットワークに導入するための伝送設計指針策定に貢献しうる。今後は、技術の完成度を高めるとともに、実際にネットワークを構築運用する事業者に対し、技術の実現性を継続的にアピールし、数年内に実ネットワークへ導入されることを目指す。

日本電気株式会社

本活動で得られた波長分散補償技術は、高速信号の効率的処理のための実装技術の開発が中心であった。この成果の標準化展開においては、技術自体の標準化ではなく、それが実現する補償性能をシステム仕様のデファクト化とすることを通して広めることに引き続き取り組む。成果の実用化および製品化に向けては、自社で進めている光ファイバ通信システム、およびインターフェースモジュールへの適用を中心に、開発技術の実用装置への搭載の検討を進める。これらのシステムを含む 100Gbps デジタルコヒーレント技術の実用化を通じた実導入などの形を検討し、開発技術の社会展開を図る。本研究開発で

得られた知財については、特許成立に向けたフォローを継続して進める。得られた権利は、重要技術について、ライセンスやデファクト化を通じた活用を検討し、通信産業分野における国際競争力の向上を図る。本研究開発で得られた、波長分散補償技術は今後も技術の発展的な高度化に取り組む。本開発技術は、100Gbps 信号を歪のある長距離伝送路の実時間伝送を可能としており、これにより 100Gbps の伝送方式デファクト化が大きく進展することが予想される。これに伴い、さらなる補償分散量の上限拡大の必要性に関する議論が活発化しており、さらなる超長距離伝送への拡大などの形で波及することを予想している。

富士通株式会社

本委託研究の研究開発課題(2)の成果であるデジタルコヒーレント信号処理回路を搭載した 100G 光トランシーバは富士通オプティカルコンポーネンツで現在、製品化の準備を進めている。また、同トランシーバを搭載した 100G 光伝送装置は、富士通で製品化の準備を進めており、研究課題(1)の成果である OTN 信号インターフェース機能も実装され、2012 年度中に市場投入する予定である。さらに 2013 年には、研究課題(3)の成果である OTN 分岐挿入スイッチ機能を実装する予定である。現在、試作装置を用いて複数の通信事業者と 100G 光伝送のフィールド実験を実施済み、もしくは計画中である。以上のように、本委託研究の成果の早期実用化に全社的な取り組みを進めている状況である。

国際標準化については、OIF(Optical Internetworking Forum)に本委託研究期間に複数の寄書提案を行い、100G 光伝送トランシーバの規格策定に寄与してきた。委託研究終了後も引き続き OIF を中心に標準化活動を継続していく。

最近の国際会議のメインピックは 400G 以上の光伝送方式の検討に移行しており、欧米の企業からは、400G のデジタルコヒーレント技術の開発計画に関するアナウンスが最近なされている状況である。日本の産業競争力を維持、発展するには、継続的な技術開発が必須であり、400G の光伝送を実現するオープンイノベーションによる技術開発を志向したい。

100G のデジタルコヒーレント光伝送が本格導入されると、クラウドコンピューティングの普及など、広帯域ネットワークを前提とした ICT の利活用の加速が予想される。富士通ではサーバ、ストレージシステム製品やデータセンタの運営も手がけており、これらの部門と広帯域光ネットワークを前提とした ICT ビジネスのロードマップを策定していく。

三菱電機株式会社

今後も予想される通信トラフィック需要の増大に対応するため、今後さらなる通信の大容量化を図るため、引き続きデジタルコヒーレント誤り訂正技術の研究活動に邁進する。本研究開発成果をより効果的に活用するための研究活動を継続する計画であり、今後の研究開発にも積極的に取り組んでいく。

一方、実用化、商用化、事業化の面でも、本研究開発で得られた世界最高レベルのデジタルコヒーレント軟判定 FEC 技術を積極的に展開を図る。これまでにもアジアと米国を結ぶ光海底ケーブルシステムにおいて、インターネットの急激な普及による通信トラフィック需要の増大に対応するために、本研究開発成果であるデジタルコヒーレント軟判定 FEC 技術を適用して、1 波長あたりの伝送速度を大幅に高速度化するプロジェクトに取り組んできた。今後は、さらにその他の多くの光海底ケーブルシステムへの展開に向けて積極的に提案活動を行う。

今後の標準化に向けた対応策としては、本研究開発に関する誤り訂正技術については、選択棲み分けが重要で、国内の関係する組織とも密に連携しながら進めていく。その際、すべてを隠すわけではなく、

切り出して標準化すべき部分もあり、その部分は標準化する方針とする。また、主要ベンダ、顧客との情報交換を積極的に実施し、標準化に適した形での提案内容の具現化を進める。今後の対外発表計画としては、研究開発成果を、OFC/NFOEC や ECOC など光通信関連国際会議、国内学会、及び国内外の学術論文誌に継続して発表する。また、研究開発成果の社会一般への情報発信の重要性を鑑み、今後も適切なタイミングで国内外に広報発表を実施し、成果のアピールならびに普及に努める。開発計画の立案段階から関連事業部との連携を図り、成果の実用化を前提とした研究開発を進めてきたが、今後も社内関連事業部門における製品化開発には研究員も参画し、本研究の開発技術及び波及技術の製品化を積極的に行う。また、特許知的財産権の活用として、重要技術については、ライセンス化、デファクト化を図ることで、関連通信機器の国際競争力を継続して高める。取得した特許は原則として公開し、技術の普及に貢献を目指す。

5 査読付き誌上発表リスト

- [1] 山崎 悦史、山中 祥吾、木坂 由明、中川 匡夫、村田 浩一、吉田 英二、坂野 寿和、富澤 将人、宮本 裕、“Fast optical channel recovery in field demonstration of 100-Gbit/s Ethernet over OTN using real-time DSP”、Optics Express Vol.19 No.14 pp13179-13184 (2011年6月30日)
- [2] 那須 悠介、水野 隆之、笠原 亮一、才田 隆志、“Temperature insensitive and ultra wideband silica-based dual polarization optical hybrid for coherent receiver with highly symmetrical interferometer design”、Optics Express Vol.19 Issue26 ppB112-B118 (2011年12月12日)
- [3] 村田 浩一、才田 隆志、佐野 公一、小川 育生、福山 裕之、笠原 亮一、村本 好史、野坂 秀之、綱島 聡、水野 隆之、田野辺 博正、服部 邦典、吉松 俊英、川上 広人、吉田 英二、“100-Gbit/s PDM-QPSK coherent receiver with wide dynamic range and excellent common-mode rejection ratio”、Optics Express Vol.19 Issue26 ppB125-B130 (2011年12月12日)
- [4] 美野 真司、山崎 裕史、郷 隆司、都築 健、才田 隆志、大山 貴晴、小川 育生、村田 浩一、“Functional integrated modulators and receivers utilizing PLC hybrid integration technology for coherent transmission”、IEICE Electronics Express Vol.8 No.20 pp1663-1677 (2011年10月30日)
- [5] 尾中 寛、池内 公、“光ネットワークにおける省電力・高速 CMOS LSI 技術の動向” 電子情報通信学会誌 2010年8月号、Vol93(8)、pp688-692 (2010年8月1日)
- [6] 尾中 寛、福満 勝巳、小牧 浩輔、竹内 理、阪本 祐一郎、中島 久雄、“Fast optical channel recovery in field demonstration of 100-Gbit/s Ethernet over OTN using real-time DSP”、Optics Express Vol.19 No.14 pp13179-13184 (2011年6月30日)
- [7] 水落 隆司、“シャノン限界に迫る超高速光通信用誤り訂正技術”、電子情報通信学会誌 2011年2月号 (2011年2月1日)
- [8] 水落 隆司、久保 和夫、宮田 好邦、西本 浩、平野 進、斧原 聖史、“Fast optical channel recovery in field demonstration of 100-Gbit/s Ethernet over OTN using real-time DSP”、掲載誌名 米国 OSA 学会論文誌「Optical Express」 Vol.19 No.14 pp13179-13184 (2011年6月22日)

6 その他の誌上発表リスト

- [1] 美野 真司、山崎 裕史、才田 隆志、郷 隆司、都築 健、石井 元速、山田 貴、土居 芳行、福満 高雄、“PLC-LN ハイブリッド集積技術を用いた高速多値変調器”、NTT 技術ジャーナル Vol.23 No.3 pp57-61 (2011年3月1日)
- [2] 小川 育生、田野辺 博正、笠原 亮一、綱島 聡、坂巻 陽平、川上 広人、大山 貴晴、“100Gbit/s 光受信 FE モジュール技術”、NTT 技術ジャーナル Vol.23 No.3 pp62-66 (2011年3月1日)
- [3] 松岡 伸治、“経済的なコア/メトロネットワークを実現する超高速大容量光トランスポートネットワーク技術”、NTT 技術ジャーナル Vol.23 No.3 pp8-12 (2011年3月1日)
- [4] 宮本 裕、佐野 明秀、吉田 英二、坂野 寿和、“超大容量デジタルコヒーレント光伝送技術”、NTT 技術ジャーナル Vol.23 No.3 pp13-18 (2011年3月1日)
- [5] 美野 真司、山崎 裕史、郷 隆司、山田 貴、“Multilevel Optical Modulator Utilizing PLC-LiNbO₃ Hybrid-integration Technology”、NTT Technical Review Vol.9 No.3 Mar,2011 (2011年3月10日)
- [6] 小川 育生、大山 貴晴、田野辺 博正、笠原 亮一、綱島 聡、坂巻 陽平、川上 広人、“100-Gbit/s Optical Receiver Front-end Module Technology”、NTT Technical Review Vol.9 No.3 Mar,2011 (2011年3月10日)

年3月15日)

[7] 坂野 寿和、“通信キャリアから見たデジタルコヒーレント光通信技術への期待と取組”、信学技報 IEICE Technical Report OCS2011-33(2011-7) pp39-44 (2011年7月11日)

[8] 小口 和海、石田 和幸、“40G/100Gbps 大容量光通信装置”、掲載誌名 Vol.00 No.00 pp000-000(2012年6月1日(予定))

7 口頭発表リスト

[1] 美野 真司、村田 浩一、才田 隆志、小川 育生、“Coherent optical component technologies for WDM transmission systems”、SPIE Photonics West 2011 (米国、サンフランシスコ) (2011年1月26日)

[2] 坂野 寿和、“100ギガビット超デジタルコヒーレント光伝送におけるデバイスおよび要求条件と期待”、11th Fiber Optic Expo (東京) (2011年4月15日)

[3] 宮本 裕、“High - capacity Optical Transport Network based on DSP - aided High - speed Channels”、(台湾、高雄市) (2011年7月8日)

[4] 才田 隆志、“偏波多重多値変調フォーマット向け石英系 PLC 光集積技術”、2011年秋季 第72回 応用物理学会学術講演会 (山形) (2011年8月29日)

[5] 宮本 裕、“大容量コヒーレント光トランスポートネットワークの技術動向”、応用物理学会シンポジウム (山形) (2011年8月29日)

[6] 那須 悠介、水野 隆之、笠原 亮一、才田 隆志、“対称回路設計による PBS 集積型光 90 度ハイブリッドの温度無依存化・波長広帯域化”、2011年電子情報通信学会ソサイエティ大会 (北海道) (2011年9月13日)

[7] 才田 隆志、村田 浩一、佐野 公一、小川 育生、福山 裕之、笠原 亮一、村本 好史、野坂 秀之、綱島 聡、水野 隆弘、田野辺 博正、服部 邦典、吉松 俊英、川上 広人、吉田 英二、“100-Gbit/s PDM-QPSK Coherent Receiver with Wide Dynamic Range and Excellent Common-mode Rejection Ratio”、ECOC2011 (スイス、ジュネーブ) (2011年9月19日)

[8] 那須 悠介、水野 隆之、笠原 亮一、才田 隆志、“Temperature Insensitive and Ultra Wideband Silica-based Dual Polarization Optical Hybrid for Coherent Receiver”、 ECOC2011 (スイス、ジュネーブ) (2011年9月19日)

[9] 鈴木 扇太、“Advanced integrated optical components for ultrahigh-speed optical networks”、第12回千歳国際フォーラム (札幌) (2011年10月14日)

[10] 村田 浩一、才田 隆志、小川 育生、笠原 亮一、村本 好史、福山 裕之、佐野 公一、野坂 秀之、川上 広人、“100-Gbit/s PDM-QPSK integrated coherent receiver front-end for optical communications”、2011 IEEE Compound Semiconductor IC Symposium (米国、ハワイ) (2011年10月17日)

[11] 那須 悠介、水野 隆之、笠原 亮一、才田 隆志、“デジタルコヒーレント用集積受信光フロントエンドに向けた石英系偏波多重光ハイブリッドの温度無依存化・広波長帯域化”、2011年度 第8回 光エレクトロニクス研究会 (東京) (2011年12月16日)

[12] 坂野 寿和、“A direction in 40G/100G”、ON*VECTOR 2012 (米国、サンディエゴ) (2012年2月29日)

[13] 都築 健、才田 隆志、石井 元速、郷 隆司、山崎 裕史、土居 芳行、荒武 淳、福満 高雄、

- 田村 宗久、美野 真司、“Design and Evaluation of Highly Reliable Silica-LiNbO₃ Hybrid Modulators for Advanced Formats”、Optical Fiber Communication 2012 (米国、ロサンゼルス) (2012年3月4日)
- [14] 山本 秀人、乾 哲郎、川上 広人、山中 祥吾、河合 武司、小野 隆、森 邦彦、鈴木 昌弘、岩城 亜弥子、“Hybrid 40-Gb/s and 100-Gb/s PDM-QPSK DWDM Transmission Using Real-Time DSP in Field Testbed”、OFC 2012 (米国、ロサンゼルス) (2012年3月7日)
- [15] 都築 健、才田 隆志、石井 元速、郷 隆司、山崎 裕史、土居 芳行、荒武 淳、福満 高雄、田村 宗久、美野 真司、“高信頼性 石英-LiNbO₃ハイブリッド変調器の設計と評価”、2012年電子情報通信学会 総合大会 (岡山市) (2012年3月20日)
- [16] 山本 秀人、川上 広人、山中 祥吾、坂野 寿和、河合 武司、小野 隆、岩城 亜弥子、中川 匡夫、“敷設ファイバを用いたリアルタイム 40G/100G PDM-QPSK 混在 DWDM フィールド伝送実験”、2012年電子情報通信学会 総合大会 (岡山市) (2012年3月21日)
- [17] 相澤 茂樹、小野 隆、鈴木 昌弘、富澤 将人、“Inter-operability Demonstration for 100G DP-QPSK OIF MSA Based LH Optical Module”、COIN2012 (神奈川) (2012年5月29日)
- [18] 相澤 茂樹、小野 隆、鈴木 昌弘、大原 拓也、富澤 将人、“100G high gain FEC performance measurement using 10Gbps PRBS signal”、OECC2012 (韓国、釜山) (予定:2012年7月4日)
- [19] 山崎 裕史、“Advanced Optical Modulators Using Silica-LiNbO₃ Hybrid Configuration”、OECC2012 (韓国、釜山) (予定:2012年7月2~6日)
- [20] 有川 学、岡本 健志、ル・タヤンディエ・ドゥ・ガボリ エマニュエル、伊東 俊治、福知 清、“WDM Transmission of 127 Gb/s PM-QPSK Signal over 3,350 km SMF-only Line with Chromatic Dispersion Compensation using Real-Time DSP-LSI”、OFC/NFOEC 2012 (米国、ロサンゼルス) (2012年3月8日)
- [21] 有川 学、ル・タヤンディエ・ドゥ・ガボリ エマニュエル、伊東 俊治、福知 清、“リアルタイム信号処理技術を用いた受信端全波長分散補償による 127Gb/s PM-QPSK 信号の 3,350km SMF WDM 伝送”、電子情報通信学会総合大会 (岡山市) (2012年3月21日)
- [22] 宮本 裕、豊田 英弘、杉原 隆嗣、星田 剛司、福知 清、富沢 将人、小谷川 喬、“JGN-X における 100GbE/OTN 信号リアルタイムフィールド伝送実験”、2012年電子情報通信学会 総合大会 (岡山市) (2012年3月21日)
- [23] 片桐 徹、本間 弘之、北島 広之、瀧 宜孝、尾花 裕治、塩田 昌宏、石原 智宏、尾中 寛、“TDM スイッチベースの OTN クロスコネクシステムへの検討”、2011年電子情報通信学会総合大会 (東京都市大学) (2011年3月15日)
- [24] 片桐 徹、本間 弘之、北島 広之、瀧 宜孝、尾花 裕治、塩田 昌宏、石原 智宏、尾中 寛、“OTN Cross-connect Architecture Realizing Flexible OTN Network with Low-Latency”、the International Conference on IP + Optical Network (iPOP2011) (NEC 玉川事業場) (2011年6月2日)
- [25] 片桐 徹ほか、“OTN 分岐・挿入システムの検討と試作”、電子情報通信学会光通信システム研究会 (和歌山大学) (2011年6月24日)
- [26] 尾中 寛、“Challenges for development of 100G digital coherent DSP”、16th Opto-Electronics and Communications (台湾高尾) (2011年7月6日)
- [27] 尾中 寛、“デジタルコヒーレント送受信技術の開発”、日本学術振興会光ネットワークシステム技術第171委員会第43回研究会 (亀岡市) (2012年2月28日)

- [28] 尾中 寛、“クライアント信号収容・宛先切替技術、偏波処理・光トランシーバ技術”、フォトニックネットワークシンポジウム 2012 (横須賀リサーチパーク) (2012年3月15日)
- [29] 星田 剛司ほか、“JGN-Xにおける100GE/OTN信号リアルタイムフィールド伝送実験”、2012年電子情報通信学会総合大会(岡山大学)(2012年3月20日)
- [30] 片桐 徹、本間 弘之、北島 広之、瀧 宜孝、尾花 裕治、塩田 昌宏、尾中 寛ほか、“OTNネットワークにおけるリングプロテクション方式”、2012年電子情報通信学会総合大会(岡山大学)(2012年3月20日)
- [31] 水落 隆司、“Progress in Soft-Decision FEC”、Optical Fiber Communication Conference and Exposition, and the National Fiber Optic Engineers Conference 2011 (OFC/NFOEC2011), 米国カリフォルニア州, (2011年3月9日)
- [32] 西本 浩、栗田 明、杉原 堅也、斧原 聖史、宮田 好邦、平 明德、久保 博嗣、吉田 英夫、水落 隆司、“100Gb/s デジタルコヒーレントにおける波形歪みが軟判定 FEC に与える影響”、電子情報通信学会 2011 年総合大会 (東京都) (2011年3月14日)
- [33] 宮田 好邦、杉原 堅也、斧原 聖史、吉田 英夫、水落 隆司、“光通信用 FEC における接続符号入力ビット誤り率の推定法の検討”、電子情報通信学会 2011 年総合大会 (東京都) (2011年3月14日)
- [34] 杉原 隆嗣、水落 隆司、“光伝送システムのための信号処理回路技術”、2011年春季 第58回応用物理学関係連合講演会(神奈川県)(2011年3月25日)
- [35] 斧原 聖史、水落 隆司、“Advanced FEC for Future Optical Transmission System”、Korea-Japan Workshop on Beyond 100G (韓国済州島)(2011年6月1日~3日)
- [36] 市川 俊亨、宮田 好邦、小口 和海、藤森 崇文、“Forward Error Correction for 100Gb/s Transport Systems”、IEEE ICC2011Expo (IEEE ICC2011 展示) (京都) (2011年6月6日~8日)
- [37] 斧原 聖史、宮田 好邦、杉原 堅也、杉原 隆嗣、久保 和夫、吉田 英夫、小口 和海、水落 隆司、“Implementation and Evaluation by Hardware Emulator of Soft-Decision Forward Error Correction for 100G Systems”、Signal Processing in Photonics Communications (SPPCom2011) (カナダ、トロント) (2011年6月12日~15日)
- [38] 斧原 聖史、宮田 好邦、杉原 堅也、杉原 隆嗣、久保 和夫、吉田 英夫、小口 和海、水落 隆司、“Implementation of Soft-Decision Forward Error Correction for 100G Digital Coherent System”、Opto-Electronics Communications Conference (OECC2011) (台湾 高雄) (2011年7月4日~8日)
- [39] 水落 隆司、“光通信用誤り訂正技術”、電子情報通信学会 OCS 研究会 (大阪) (2011年7月11日~12日)
- [40] 杉原 隆嗣、“Ultra-fast digital signal processing for lightwave communication”、The 5th International Symposium on Ultrafast Photonic Technologies (ISUPT2011) (ドイツ、ベルリン) (2011年9月15日~16日)
- [41] 杉原 隆嗣、“Ultra-fast digital signal processing for lightwave communication”、The 5th International Symposium on Ultrafast Photonic Technologies (ISUPT2011) (ドイツ、ベルリン) (2011年9月15日~16日)
- [42] 水落 隆司、“The Role of FEC in Coherent Transmission in Undersea Systems”、37th European Conference and Exhibition on Optical Communication (ECOC2011) (スイス、ジュネーブ) (2011年9月18日~22日)

8 出願特許リスト

- [1] 土居 芳行、美野 真司、光部品、日本、2011年2月18日
- [2] 福知 清、コヒーレント光受信装置、システムおよび方法、日本、2010年11月1日
- [3] 柴山 充文、デジタルフィルタ回路およびデジタルフィルタ制御方法、日本、2010年12月21日
- [4] 福知 清、安田 和佳子、安部 淳一、コヒーレント光受信器、コヒーレント光受信器におけるレーン間スキュー検出装置および検出方法、日本、2010年12月21日
- [5] 安部 淳一、安田 和佳子、福知 清、コヒーレント光受信器、コヒーレント光受信器におけるチャンネル間スキュー検出装置および検出方法、日本、2011年2月1日
- [6] 柴山 充文、演算処理装置及び演算処理方法、日本、2011年5月16日
- [7] 柴山 充文、デジタルフィルタ回路およびデジタルフィルタ処理方法、日本、2011年12月20日
- [8] 福知 清、コヒーレント光受信装置、システムおよび方法、PCT、2011年10月6日
- [9] 安部 淳一、コヒーレント光受信器、コヒーレント光受信器におけるチャンネル間スキュー検出装置および検出方法、PCT、2011年9月2日
- [10] 柴山 充文、デジタルフィルタ回路およびデジタルフィルタ制御方法、PCT、2011年8月18日
- [11] 福知 清、コヒーレント光受信器、コヒーレント光受信器におけるレーン間スキュー検出装置および検出方法、PCT、2011年12月16日
- [12] 柴山 充文、演算処理装置及び演算処理方法、PCT、2011年8月31日
- [13] 片桐 徹、塩田 昌宏、「信号多重分離装置及び信号多重収容装置及び信号多重収容・分離装置」、日本、アメリカ、2011年3月11日
- [14] 片桐 徹、本間 弘之、北島 広之ほか、「バレルシフトを用いた frame mapping 方法」、日本、アメリカ、2011年3月29日
- [15] 小牧 浩輔、中島 久雄、「光デジタルコヒーレント受信機」、日本、アメリカ、2011年4月16日
- [16] 本間 弘之ほか、「伝送装置、伝送方法及び伝送帯域の変更方法」、日本、2012年3月19日
- [17] 本間 弘之ほか、「ODUFlexにおけるデータ幅切り替え方式」、日本、2012年4月13日
- [18] 本間 弘之ほか、「ODUFlexにおける Transmission order 維持方法」、日本、2012年4月13日
- [19] 片桐徹、「光伝送方式および装置」、日本、2012年4月13日
- [20] 阪本祐一郎、「デジタル光コヒーレント伝送技術を用いた特性改善手段」、日本、2012年4月13日
- [21] 斧原 聖史、吉田 英夫、杉原 隆嗣、差動符号光送受信装置、中国、2010年10月6日
- [22] 斧原 聖史、吉田 英夫、杉原 隆嗣、差動符号光送受信装置、ヨーロッパ、2010年10月6日
- [23] 斧原 聖史、吉田 英夫、杉原 隆嗣、差動符号光送受信装置、日本、2010年10月6日
- [24] 斧原 聖史、吉田 英夫、杉原 隆嗣、差動符号光送受信装置、アメリカ、2010年10月6日
- [25] 西本 浩、栗田 明、軟判定値生成回路、PCT、2010年11月26日
- [26] 西本 浩、栗田 明、軟判定値生成回路、日本、2010年11月26日
- [27] 斧原 聖史、久保 和夫、水落 隆司、光伝送装置、日本、2010年12月20日
- [28] 宮田 好邦、杉原 堅也、斧原 聖史、久保 和夫、吉田 英夫、入力ビット誤り率推定方法、及びその装置、日本、2011年2月22日
- [29] 宮田 好邦、杉原 堅也、斧原 聖史、久保 和夫、吉田 英夫、入力ビット誤り率推定方法、及びその装置、PICT、2011年2月20日

9 取得特許リスト

10 国際標準提案リスト

- [1] ITU-T SG15 WP3 Q11 rapporteur meeting (Vimercate, Italy)、wd21、Proposal on re-assignment of Payload Type for ODUflex(GFP)、2010年9月13日
- [2] ITU-T SG15 WP3 Q9 rapporteur meeting (Funchal Madeira)、wd52、Further clarification for Cn generation of GMP process、2010年12月13日
- [3] Optical Internetworking Forum (OIF) Q111 Technical and MA&E Committees Meeting、oif2011.024、Comments on MDIO IA draft proposed as oif2010.232.01、2011年1月18日
- [4] ITU-T Study Group 15 meeting (Geneva, Switzerland)、C1661、Comments on cd01 G.798 draft Amendment 2 for consent、2011年12月5日
- [5] Optical Internetworking Forum (OIF) Q112 Technical and MA&E Committees Meeting、oif2012.012、Comments on OIF-MSA-100GLH-EM-01.1、2012年1月17日

11 参加国際標準会議リスト

- [1] ITU-T SG15 WP3 Q11 rapporteur meeting、イタリア共和国、ヴィメルカーテ (ミラノ市郊外)、2010年9月13～17日
- [2] ITU-T Study Group 15 meeting、スイス、ジュネーブ、2011年12月5～16日
- [3] Optical Internetworking Forum (OIF) Q112 Technical and MA&E Committees Meeting、米国、カリフォルニア州、クパチーノ市、2012年1月17～19日

12 受賞リスト

13 報道発表リスト

(1) 報道発表実績

- [1] “100Gb/s デジタルコヒーレント光トランシーバを販売開始- バックボーンネットワークの高速、大容量化を実現 -”、2011年9月19日
- [2] “太平洋横断光海底ケーブルシステムの高速大容量化”、2011年11月10日
- [3] “世界初、100Gbps 及び 40Gbps 光通信のプラグアンドプレイを超高速で実現～デジタルコヒーレント光伝送による超高速自動設定技術を敷設ファイバ環境下で実証～”、2011年11月24日
- [4] “100Gbps の超高速大容量ネットワークを構築する「パケット統合光システム」を販売開始”、2011年12月14日
- [5] “NTTエレクトロニクスが低消費電力 100G 用デジタルコヒーレントDSP-LSIを製造・販売開始”、2012年2月29日
- [6] “次世代 100 ギガビットイーサネットに対応した光トランシーバの動態展示を OFC/NFOEC 2012 において実施”、2012年3月2日
- [7] “超高速光ファイバー伝送システム向け補償回路の消費電力を約 1/3 に削減する革新的な歪み対策技術を開発”、2012年3月9日

(2) 報道掲載実績

- [1] “事前調整不要で早く～震災で切断の光回線再開”、日経産業新聞、2011年11月25日
- [2] “瞬断ネット瞬時に復旧”、日刊工業新聞、2011年11月25日
- [3] “50ミリ秒の高速信号設定”、日刊工業新聞、2011年11月25日
- [4] “超高速信号を自動設定 光NWの大容量化技術”、通信興業新聞、2011年12月5日
- [5] “100G/40Gの高速光信号50ミリ秒以下で自動設定”、科学新聞、2011年12月9日
- [6] “スマートフォン普及でパンク懸念 通信網を大容量化”、日本経済新聞、2011年12月14日
- [7] “富士通 次世代の長距離伝送向け 省エネ光送信器開発 補償回路性能3倍に”、日刊工業新聞、2012年3月9日

研究開発による成果数

	平成 22 年度	平成 23 年度	合計	(参考) 提案時目標数
査読付き誌上発表数	2 件 (0 件)	6 件 (6 件)	8 件 (6 件)	12 件 (9 件)
その他の誌上発表数	6 件 (0 件)	2 件 (0 件)	8 件 (0 件)	1 件 (1 件)
口 頭 発 表 数	5 件 (2 件)	37 件 (17 件)	42 件 (19 件)	32 件 (18 件)
特 許 出 願 数	16 件 (7 件)	13 件 (6 件)	29 件 (13 件)	38 件 (22 件)
特 許 取 得 数	0 件 (0 件)	0 件 (0 件)	0 件 (0 件)	18 件 (12 件)
国際標準提案数	3 件 (3 件)	2 件 (2 件)	5 件 (5 件)	1 件 (1 件)
国際標準獲得数	0 件 (0 件)	0 件 (0 件)	0 件 (0 件)	1 件 (1 件)
受 賞 数	0 件 (0 件)	0 件 (0 件)	0 件 (0 件)	1 件 (1 件)
報 道 発 表 数	0 件 (0 件)	7 件 (7 件)	7 件 (7 件)	7 件 (6 件)
報 道 掲 載 数	0 件 (0 件)	7 件 (0 件)	7 件 (0 件)	—

※なお、(参考)は、研究期間終了後の件数も含んだ目標数である。

注 1 : 各々の件数は国内分と海外分の合計値を記入。(括弧)内は、その内海外分のみを再掲。

注 2 : 「査読付き誌上発表数」には、論文誌や学会誌等、査読のある出版物に掲載された論文等を計上する。学会の大会や研究会、国際会議等の講演資料集、アブストラクト集、ダイジェスト集等、口頭発表のための資料集に掲載された論文等は、下記「口頭発表数」に分類する。

注 3 : 「その他の誌上発表数」には、専門誌、業界誌、機関誌等、査読のない出版物に掲載された記事等を計上する。

注 4 : PCT 国際出願については出願を行った時点で、海外分 1 件として記入。(何カ国への出願でも 1 件として計上)。また、国内段階に移行した時点で、移行した国数分を計上。