

ネットワークングハードウェアの徹底したスライス化に基づく 省電ルータアーキテクチャの研究開発 (105107003)

A Research and Development of Power-aware Router Architecture with
Plurality of Slice structure in Network Hardware Components.

研究代表者

井上 一成 大阪大学大学院情報科学研究科

Kazunari Inoue, Osaka University, Graduate School of Information Science and Technology

研究分担者

村田 正幸[†]、長谷川 剛^{††}、阿多 信吾^{†††}、
大澤 伸行^{†4}、矢野 祐二^{†4}、黒田 泰斗^{†4}、柳澤 正之^{†4}、小林 道弘^{†4}、
大谷 嗣朗^{†5}、塩田 浩克^{†5}

Masayuki Murata[†]、Go Hasegawa^{††}、Shingo Ata^{†††}、
Nobuyuki Osawa^{†4}、Yuji Yano^{†4}、Yasuto Kuroda^{†4}、Masayuki Yanagisawa^{†4}、Michihiro Kobayashi^{†4}、
Shiro Otani^{†5}、Hirokatsu Shioda^{†5}

[†]大阪大学大学院情報科学研究科、^{††}大阪大学サイバーメディアセンター、

^{†††}大阪市立大学大学院工学研究科、^{†4}ルネサスエレクトロニクス株式会社、

^{†5}株式会社日立情報通信エンジニアリング

[†]Osaka University, Graduate School of Information Science and Technology,

^{††}Osaka University, Cyber Media Center,

^{†††}Osaka City University, Graduate School of Engineering, ^{†4}Renesas Electronics Corp.,

^{†5}Hitachi Information & Telecommunication Engineering, Ltd.

研究期間 平成 22 年度～平成 24 年度

概要

ルータの機能コンポーネントの高度なスライス化と、スライス単位の動的かつ柔軟な制御により、トラフィック量の変動に応じた省電力制御を細かな粒度で行うルータアーキテクチャを設計する。また、スライス化による省電力制御を可能とする LSI アーキテクチャを設計し、製作、実証実験を実施する。さらに省電ルータの導入を前提とした自律的かつ平滑化を実現するトラフィック制御プロトコルの設計開発を行う。

1. まえがき

IP ネットワークの信頼性を損なうことなく消費電力を効果的に削減するために、トラフィック量に応じて処理能力を段階的に調整可能な省電ルータアーキテクチャの研究開発を行う。ルータを構成する機能コンポーネントを細分化し（スライス化と呼ぶ）、スライスを単位とした細粒度の動作によりトラフィック量の変動に適応的に追従する省電力制御を実現する。

2. 研究開発内容及び成果

機能コンポーネントのスライス化と、動的な制御により、トラフィック量の変動に応じた省電ルータアーキテクチャを研究する。またスライス化による省電力制御を可能とする LSI を設計し、実証実験を実施する。さらに、省電ルータの導入を前提とした自律的かつ平滑化を実現するトラフィック制御プロトコルの設計開発を行う。以上の目的達成のために次に示す 4 つの課題に取り組んだ。

課題 1) スライス・アーキテクチャの研究開発

課題 2) スライスのスタンバイ制御の研究開発

課題 3) スライス化 LSI の研究開発

課題 4) 省電ルータを前提としたトラフィック制御プロトコルの研究開発

課題 1 では、機能コンポーネントとハードウェアレベルでのスライス化について研究し、スライス化の LSI アーキテクチャ設計を行った。またトラフィック予測回路ならびにスライススタンバイ制御回路について FPGA への実装

を行い、個別スライスに対するスタンバイ制御を実現した。これらは図 1 に示す動作検証および性能評価を実施し、スライス化制御によってトラフィック量に追従した省電力制御が実現できることを明らかにした。さらに、スライス化を二次元に拡張した二次元スライス化パケットバッファの試作とルータラインカードへの実装評価を行った。



図 1 スライス化 LSI を実装したルータラインカード

課題 2 では、図 2 に示す予測回路とスライススケジューラ、さらに各スライスとの制御信号などに関する基本設計をまとめ、FPGA 実装を通じてスライス化パケットバッファの制御に成功した。トラフィック予測の時間粒度について、回路を複数並列にパイプライン化することによって、10 マイクロ秒オーダーという極めて微小な間隔でのトラフィック予測を実現した。予測誤差について、当初目標の「トラフィック量に対する誤差割合」という指標ではなく、

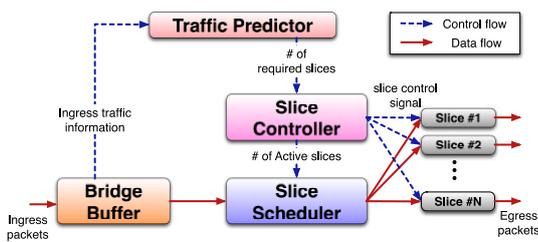


図2 スライス化LSIの制御

実際に誤差による影響である速度変換バッファにおけるレイテンシに着目し、予測誤差とレイテンシの関係を明らかにした。さらに、予測におけるパラメータ調整によりレイテンシをコアネットワークのルータにおける許容可能な領域（100マイクロ秒以下）に抑えつつ、大幅な消費電力の削減を示した。

課題3では、マスク製作から図3に示すLSI試作と評価によって、消費電力ならびに伝送速度の目標を達成した。また本LSIは166MHz以上の性能で動作を確認しており、これは最小フレーム長（64バイト）でも40Gbpsの2倍の性能（64Byte x 166MHz = 85Gbps）で動作が可能である。さらに従来型のSRAMではなく、eDRAM (embedded DRAM)テクノロジーを採用したことで、搭載可能容量を従来の2倍以上に拡張することができた。システム評価を通じて入力トラフィックの増減に応じたLSIスタンバイ制御、ならびに消費電力の変化を確認し、スライス化アーキテクチャの省電力効果を実証できた。

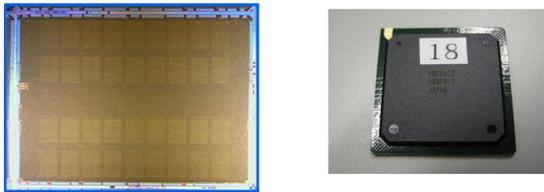


図3 試作したスライス化LSI

課題4では、省電力ルータが存在するネットワーク環境における帯域計測手法、および帯域計測手法を提案した。パラメータ設定手法を明らかにし、ネットワーク帯域計測方式を提案した。これらの成果により、省電力ルータが存在する環境においても正確にネットワーク帯域を計測することができ、帯域の計測値を利用して輻輳制御を行う、TCP SymbiosisなどのTCP手法が適用できると考えられる。さらに、省電力ルータを含むネットワーク環境でのエンド端末間の帯域などの計測が可能になることを前提としたアプリケーション層制御手法、および、無線LANなどのアクセスネットワーク網におけるトランスポート制御による省電力化に関する検討を行い、手法の提案および性能評価を行い、既存のアプリケーション制御やアクセス網の省電力制御が問題なく動作することが確認された。以上述べた本研究における課題1-4の成果による省電力効果の実測を図4に示す。10Gbps-40Gbps帯域についてホット・スタンバイのみで約50%、ホット・スタンバイとコールド・スタンバイ併せて約70%の電力消費量削減を確認することができた。

3. 今後の研究開発成果の展開及び波及効果創出への取り組み

本研究は、トラフィック流量の変化とルータの構成要素に着目し、スライス化構造と自律的制御によって大きな省電力効果を実証した。試作システムでは、アクティブ、ホット・スタンバイ、コールド・スタンバイのステートを特徴とし

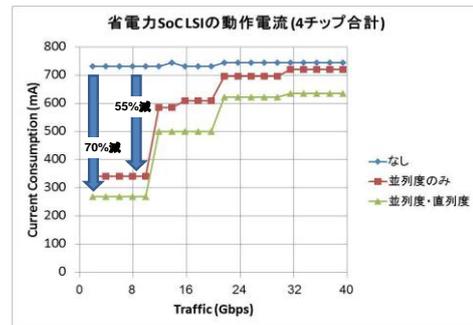


図4 スライス化と制御による省電力効果の実測

ている。波及効果について例えばNEDO「グリーンNW・システム技術」（2010.12）では、ルータと並びデータセンターのエネルギー需要増は深刻で2030年ころにルータを超えるとの試算が報告されている。データセンターの電力消費内訳は、30%をIT機器が占めており本研究による省電力制御が適用可能である。また10マイクロ秒以下という時間粒度制御を民生機器の省電力化へ適用を講じる。

4. むすび

スライス化と待機時の改善、自律的制御について研究を行い最大70%の電力削減を実証した。今後ネットワークをはじめ膨大な電力を消費する産業機器、また細時間粒度で省電力効果のある民生機器について技術移転を講ずる。

【誌上发表リスト】

- [1] D. Kobayashi, G. Hasegawa, and M. Murata, "Evaluation and improvement of end-to-end bandwidth measurement method for power-saving routers," pp.1-6, CQR 2012. (May 2012)
- [2] Y. Yano, H. Iwamoto, Y. Kuroda, S. Otani, S. Ata and K. Inoue, "A Slice Structure Using the Management of Network Traffic Prediction for Green IT", IEEE HPSR, Belgrade, Serbia, pp.250-255. (June 2012)
- [3] K. Okuda, S. Ata, et.al, "2D Sliced P.B. with Traffic Volume and Buffer Occupancy Adaptation for Power Saving," 10th Annual IEEE CCNC 2013, Las Vegas, Nevada, USA, pp. 97-105. (January 2013)

【申請特許リスト】

- [1] H. Iwamoto, "Semiconductor device including memory capable of reducing power consumption", 米国, 2012年8月3日
- [2] 黒田泰斗他, "半導体装置", 日本, 2012年10月3日
- [3] 岩本久他, "半導体装置", 日本, 2012年10月12日

【受賞リスト】

- [1] 小谷野 壮, 阿多 信吾, 岡 育生, ネットワークシステム研究賞, "トラフィック追従型省電力ルータのための細粒度トラフィック予測手法", 電気情報通信学会 2013年3月

【報道掲載リスト】

- [1] "産学官連携での省電力化ルータアーキテクチャの研究開発", ルネサスエレクトロニクス株式会社ホームページ, 2013年6月27日

<http://japan.renesas.com/press/news/2013/news20130627a.jsp>

【本研究開発課題を掲載したホームページ】

<http://www.anarg.jp/predict2010/> 発表論文と研究の概要
<http://www.n.info.eng.osaka-cu.ac.jp/research/> 本研究機関における研究成果の公表