

**しなやかなヒューマンインターフェースを実現する
右脳・左脳統合アーキテクチャ VLSI の開発研究 (031403018)**
Right-Brain/Left-Brain Integrated Architecture VLSI System for
Flexible Human Interfacing

柴田 直 東京大学 大学院新領域創成科学研究科 基盤情報学専攻
Tadashi Shibata
Department of Frontier Informatics, School of Frontier Sciences,
The University of Tokyo

三田 吉郎[†] 山崎 俊彦^{††}
Yoshio Mita[†] Toshihiko Yamasaki^{††}

[†]東京大学 大学院工学系研究科 電気工学専攻 ^{††}同 大学院新領域創成科学研究科 基盤情報学専攻

[†]Department of Electrical Engineering, School of Engineering, The University of Tokyo

^{††}Department of Frontier Informatics, School of Frontier Sciences, The University of Tokyo

研究期間 平成 15 年度～平成 17 年度

概要

右脳が豊かに過去の記憶を連想・想起し、これに左脳が論理的な吟味・判断を与える。このような心理学的脳モデルを最先端 VLSI 技術で実現、ヒトのように柔軟に認識・判断・応対のできるしなやかなヒューマンインターフェース実現の基礎技術を確立する。これまで独自に開発してきた右脳的情報処理集積回路に左脳の論理処理機能を融合させ、“右脳・左脳統合アーキテクチャ VLSI システム”を開発、五感の中でも最も進んだ視覚に関し、生体原理に学んだ柔軟な電子システムの開発を行う。揺らぎの多い実世界の画像情報を、新たに提案するロバスタなエッジベースのベクトル表現に変換、様々に観点を変えた大枠の判断の積み重ねによって正しく対象を認識する。特に、計算コストの極めて高い特徴ベクトル抽出に関し、これを高速並列処理で実行する VLSI プロセッサを開発し、実時間応答を実現する。

Abstract

In the human brain, computer-like logic processing is done by the right brain, while the left brain carries out information processing like association and intuition. The purpose of this research is to develop an electronic computing system mimicking such a brain computing principle utilizing the state-of-the-art silicon technology and to establish the basis for building flexible and intelligent human interfaces. A visual recognition system having real-time response capability has been developed as a demonstrative example.

1. まえがき

本研究の目的は、ヒトのように柔軟に認識・判断・応対のできるしなやかなヒューマンインターフェース実現のため、“右脳・左脳統合アーキテクチャ VLSI システム”を開発することである。特に視覚情報処理をターゲットに、生体原理に学んだ柔軟な認識・判断の行える電子システムの研究・開発を行った。実世界の雑多な情報の中から、認識に必要なエッセンスのみを抽出する処理を、既存の CPU チップと比較して数桁以上高速に、且つ低消費電力で実現し、これを認識に結びつけるため、以下の 4 項目の研究を行った。

- ① 実世界画像より「物体の形状認識」に必要なエッセンス情報を高速・低消費電力で抽出
- ② 実世界画像より「物体の動き解析」に必要なエッセンス情報を高速・低消費電力で抽出
- ③ 右脳・左脳統合アーキテクチャ VLSI システムの開発
- ④ 右脳・左脳統合認識処理アルゴリズムの開発

2. 研究内容及び成果

上記研究目標①に関しては、我々がこれまで画像認識で非常に有用であることを実証してきた方向性エッジの検出を、高速且つ低消費電力で実現する。アナログ VLSI、デジタル VLSI、両方の技術での実現を目指した。これに関しては、2GHz の CPU に対し、約 5 桁の高速処理可能な専用チップを開発し、実時間処理の目途を得た。また、②に関しては、フォトダイオードとアナログ処理回路を集

積するインテリジェント CMOS イメージセンサ技術を用いて、動きを高速に検出するチップの開発を行い、200～500 フレーム/秒の処理速度を実証することが出来た。また、③については、MIMD (Multiple Instruction Multiple Data) プロセッサ構成で、右脳の処理 (直感・連想) と左脳処理 (論理演算) を随時切り替えて処理できる切り替え型プロセッサの基本設計を行い、その有用性を検討した。また、④に関しては、統合処理の具体例として「雑多な環境の中からの人の顔の検出」を例題として、システムの開発を行った。その結果、ロバスタな顔検出、さらに検出した顔の個人認証まで実行できるシステムを開発した。以上の研究内容の概要を、以下に纏める。

<顔の検出>

“右脳・左脳統合アーキテクチャ VLSI システム”開発で最も重要なのは、アルゴリズムの開発である。あらゆる問題に一般的に適用可能とするため「顔の検出」を具体的なターゲットに、右脳的処理・左脳処理の切り分け方、並びに、これらに対応する VLSI アーキテクチャの検討を行った。顔の検出は、ヒューマンインターフェースの研究において重要な課題で、従来、肌色に着目したりニューラルネットによる分類等さまざまな方法で行われてきたが、本当の顔を逃してしまうという問題があった。我々は、先ず false negative free の検出を目指し、その後検証で本当の顔を残すことを行った。我々のオリジナル技術であるエッジベースの画像ベクトル表現を新たに発展させ、ロバスタな顔検出を実現した。その結果を図 1 に示す。回転やスケ

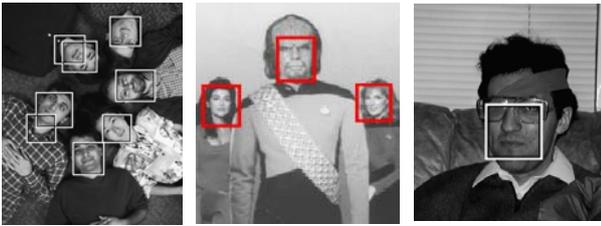


図1 ロバストな顔検出の結果。

ール変化、occlusion)にも強い検出が実現している。

また、エッジベース画像ベクトル表現と疑似2次元隠れマルコフモデルを組み合わせたシステムで、照明条件に対してロバストな個人顔認証も実現した。図2(a)は、実験に用いたYale大学のデータベースBの一例で、ノーマルな照明条件を学習サンプルとし、様々に照明条件を変化させたものをテストサンプルとして用いた認識率を図2(b)に示す。16次元のエッジベクトル表現では、従来用いられるDCT表現に比べ認識率が大きく向上しているのが分かる。

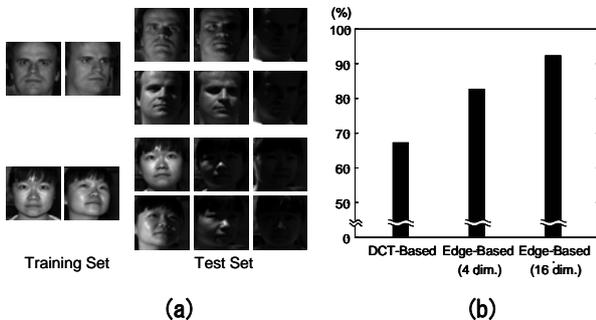


図2 Yale B 顔データベースを用いた個人認証の実験。

<エッジベース画像ベクトル生成プロセッサ>

エッジベースの画像ベクトル表現がロバストな画像認識において非常に重要であるが、ピクセルごとに 5×5 のフィルタ処理を行い、これを全画面に対して実行するため非常に計算コストが高い。これを実時間で実行するための専用VLSIプロセッサを開発した。(図3)一つの特徴ベクトルを生成するのに必要な時間を、PC上のソフトウェア処理で行う場合と比較した結果、本プロセッサは100MHzで動作させているにもかかわらず、2GHzのCPUを用いたソフトウェア処理に比べ約10万倍高速に処理できる。VLSIの消費電力がクロック周波数で決まることを考えると、この高速動作が20分の1の消費電力で実現できたことになる。

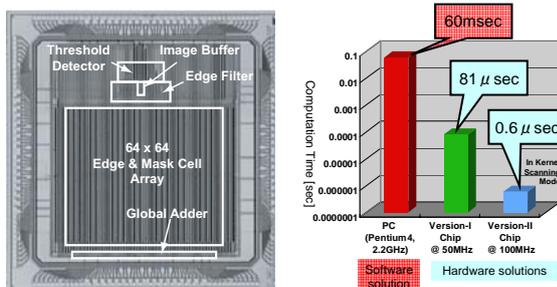


図3 エッジベース画像ベクトル生成プロセッサとその速度の比較。

<動き検出用CMOSイメージセンサ>

動き解析のためのVLSIチップを、時間ドメインのアナログ演算とデジタル演算を融合させた新たな演算処理方式で実現した。試作したチップの写真と、オプティカルフロー検出結果の一例を示す。(図4)試作チップは毎秒400フレームの処理が実行でき、消費電力は25mWである。

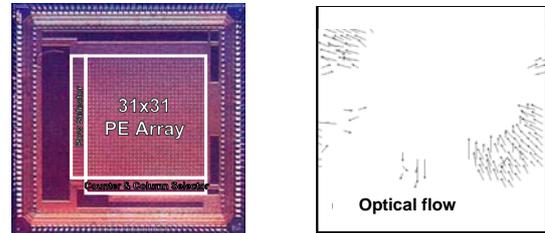


図4 動き検出チップの写真とオプティカルフロー検出の結果

<Ego-Motion Detection>

また動き解析の一例として、Ego-Motion Detectionのシステム開発を行った。実験は、ビデオカメラにティルト、パン、前進・後退、回転等の動きを与えて風景を撮影し、その動画シーケンスをサンプルとした。室内で撮影した動画より各動作を学習させ、室外でのカメラの動きを判断させた。その結果、回転動作以外では100%の正答率を実現した。回転動作では、93%~95%の正答率であったが、これは撮影時に回転中心の位置が一定しないためである。

【誌上发表リスト】

- [1] Makoto Ogawa and Tadashi Shibata, "A Delay-Encoding-Logic Array Processor for Dynamic Programming Matching of Data Sequences," IEEE Journal of Solid State Circuits, Vol.40, No.7, pp. 1578-1582, July 2005.
- [2] Suzuki and T. Shibata, "Multiple-Resolution Edge-Based Feature Representations for Robust Face Segmentation and Verification", Proceedings of 13th European Signal Processing Conference (EUSIPCO 2005), Antalya, Turkey, September 4-8, 2005.
- [3] Hideo Yamasaki and Tadashi Shibata, "A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture", in the Proceeding of the 31st European Solid-State Circuits Conference (ESSCIRC), pp.121-124, Grenoble, France, 12-16 September, 2005.

【受賞リスト】

- [1] 2004年 第6回LSIIPデザイン・アワード IP賞: 伊藤潔人、小川誠、柴田直、"カーネルサイズ可変フラッシュコンボリューション型画像フィルタ演算プロセッサ", 2004年5月20日
- [2] 2005年 第7回LSIIPデザイン・アワード 研究助成: 小川誠、柴田直、"時間領域演算を用いたDPマッピングプロセッサ" 2005年5月20日
- [3] 2006年 第8回LSIIPデザイン・アワード 研究助成(内定): 山崎英男、柴田直、2005年5月 "実時間認識システムのための画像特徴抽出プロセッサ"

【報道発表リスト】

- [1] "「連想プロセッサ」の開発・賢いコンピュータを目指して", MYCOM PC WEB, 2004年12月14日
<http://pweb.mycom.co.jp/articles/2005/01/01/brainsli/>