

ウエハレベルパッケージ技術による高周波集積インダクタの研究開発 (052103015)

GHz On-Chip Inductors Using Wafer-Level Packaging Technology

研究代表者

岡田 健一 東京工業大学 大学院理工学研究科
Kenichi Okada Tokyo Institute of Technology

研究期間 平成 17 年度～平成 19 年度

本研究開発の概要

携帯電話や無線 LAN 等に利用される高周波 Si CMOS 集積回路の高性能化・低消費電力化には、受動素子であるインダクタの Q 値の改善が必須の課題である。本研究開発では、ウエハレベルパッケージ (WLP) 技術を利用して高い Q 値を持つインダクタを開発し、これを低雑音増幅器や電圧制御発振器、および電力増幅器等の高周波無線集積回路に搭載する手法を確立し、低消費電力化かつ低コストな無線回路の実現を目標とする。WLP インダクタの構造や製造技術の改良により、60GHz 帯で Q 値 103 のオンチップインダクタを実現した。開発した WLP インダクタを用いた低雑音増幅器・電圧制御発振器(VCO)を設計、試作、測定、評価を行い、高周波無線回路の性能が向上することを実証した。7dB の位相雑音の改善を行い、80%の不要電力削減を達成した。

Abstract

To improve high frequency performance of Si CMOS RF circuits, it is an indispensable issue to realize high- Q on-chip inductors. Basically, quality factor of on-chip spiral inductors is usually less than 10. In this work, I have realized high- Q , e.g. 100, inductors by using the wafer-level packaging (WLP) technology and presented a implementation method for low-noise amplifier, voltage-controlled oscillator, and power amplifier using WLP inductors. In this work, 103 of quality factor at 60GHz is realized as a WLP inductor, and VCO using a WLP inductor is implemented, which realizes 7dB improvement in phase noise and 80% power saving.

1. まえがき

本研究の目的は、実装技術であるウエハレベルパッケージ(WLP)技術により高性能なオンチップインダクタを実現することである。元来、CMOS 技術は低消費電力化が可能であるにもかかわらず、CMOS 技術で実現できるインダクタの性能が低いために、逆に電力の面で不利があった。一方、WLP 技術は、集積回路製造と実装技術の境界プロセスであり、チップ一枚あたり 6 円程度の低コストで実装が可能である。なおかつ、その配線層を流用することにより、 Q 値が 50 を超える高性能インダクタが実現できる。この二つの技術を組み合わせることで、超低消費電力かつ低コストな無線回路の実現が可能である。

本研究開発では、高い Q 値を持つ集積化インダクタを実現し、高周波無線回路において、超低消費電力化かつ低コスト化を達成しようとするものである。具体的には、WLP インダクタの構造や製造技術の改良とともに、実際に WLP インダクタを用いた低雑音増幅器(LNA)・電圧制御発振器(VCO)・電力増幅器(PA)を設計、試作、測定、評価を行い、高周波無線回路の性能が向上することを実証することを目標とする。

2. 研究内容及び成果

高性能な WLP インダクタを実現するために、インダクタの構造最適化を行った(図 1)。線幅、層間厚、配線厚について最適化を行い、60GHz 帯において、100 を超える Q 値を実現した(図 2)。従来の CMOS オンチップインダクタでは 60GHz 帯で 10 程度の Q 値が限界だったのに対し、10 倍以上の改善である。

WLP インダクタを用いた高周波回路の設計手法を明らかにした。図 3 は WLP インダクタを用いた電圧制御発振器(VCO)の回路図である。CMOS プロセスを用いて、インダクタを除く部分の回路を作成した(図 4)。この CMOS チップを WLP 加工により、パッケージ封止した。パッ

ージにおける再配線工程において、インダクタを作成した。

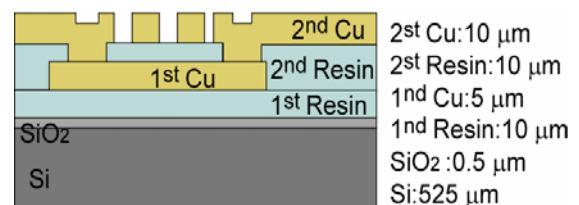


図 1: WLP の断面構造

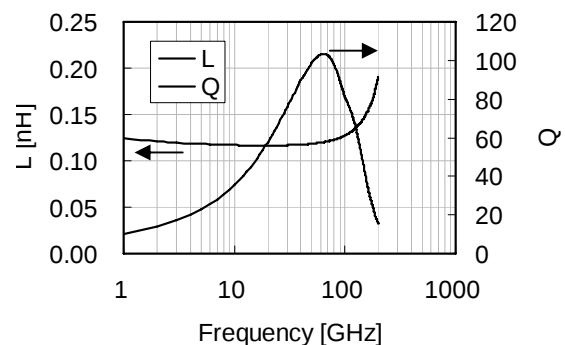


図 2: 60GHz 帯インダクタ

WLP 加工を行ったチップを図 5 に示す。下地に薄く透けて見えるのが、CMOS プロセスにより作成した回路部分である。高周波プローブによるオンチップ測定により、試作した VCO の位相雑音特性を測定した。発振周波数は 1.9GHz であり、位相雑音は 1MHz オフセットで、-134.4dBc/Hz であった。消費電力と発振周波数により正

規化した位相雑音(FoM)で-193dBc/Hz であり、従来より 7dB の改善である。

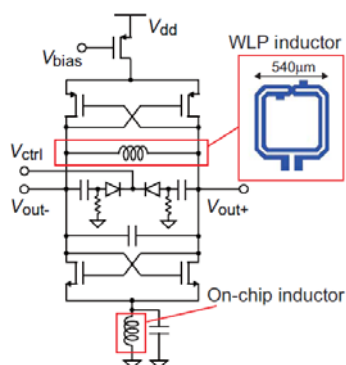


図 3 : VCO の回路図

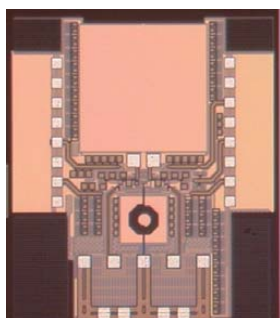


図 4 : CMOS VCO 回路のチップ写真(加工前)

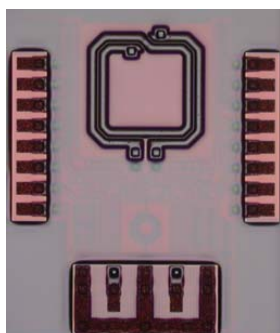


図 5 : WLP 加工を行った後のチップ写真

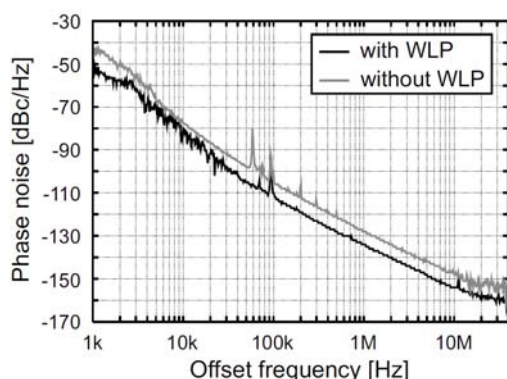


図 6 : 位相雑音特性

3. むすび

デジタル回路向け CMOS 回路技術と安価なウエハレベルパッケージ技術(WLP)を組み合わせることにより、高性能なアナログ高周波回路を実現する技術確立した。60GHz 帯において 100 を超える Q 値を実現し、電圧制御発振器では-193dBc/Hz(FoM)の位相雑音性能を実現した。

従来よりも 7dB の性能改善であり、消費電力に換算すると 80%の電力削減に相当する。上記により、当初目標を達成した。

【誌上発表リスト】

- [1] Kenichi Okada, Hirotaka Sugawara, Hiroyuki Ito, Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Tatsuya Ito, and Kazuya Masu, "On-Chip High-Q Variable Inductor Using Wafer-Level Chip-Scale Package Technology," IEEE Transactions on Electron Devices, Vol. 53, No. 9, pp. 2401-2406 (2006 年 9 月)
- [2] Kazuma Ohashi, Yuka Kobayashi, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi, and Kazuya Masu, "A Low Phase Noise LC-VCO with a High-Q Inductor Fabricated by Wafer Level Package Technology," IEEE Radio Frequency IC Symposium (2008 年 6 月)
- [3] Hideki Hatakeyama, Kenichi Okada, et al., "Wafer-level-packaging inductor with extremely high quality factor and its application to 5.8GHz LC-type voltage controlled oscillator," Advanced Metallization Conference, pp.8-9, (2007 年 10 月)

【申請特許リスト】

- [1] 岡田 健一、伊藤 猛、原 翔一、松澤 昭、発振装置、日本、2008 年 2 月 20 日出願、特願 2008-039285
- [2] 益 一哉、岡田 健一、畠山 英樹、半導体集積回路装置の製造方法、日本、2006 年 9 月 25 日出願、特願 2006-258175
- [3] 益 一哉、岡田 健一、菅原 弘雄、山内 拓哉、可変インダクタ、日本、2005 年 7 月 26 日出願、特願 2005-216537

【受賞リスト】

- [1] 岡田 健一、LSI IP デザイン・アワード IP 賞、`リコンフィギュラブル RF 回路を実現する低雑音広帯域電圧制御発振器`、平成 19 年 4 月 26 日
- [2] 岡田健一、矢崎科学技術振興記念財団 矢崎学術賞、`動的再構成可能なアナログ RF 回路技術の研究`、平成 20 年 3 月 13 日
- [3] 伊藤雄作、菅原弘雄、岡田健一、益一哉、IEEE A-SSCC Outstanding Design Award、`A 0.98 to 6.6GHz Tunable Wideband VCO in a 180nm CMOS Technology for Reconfigurable Radio Transceiver`、平成 18 年 11 月 14 日

【報道発表リスト】

- [1] "The Second A-SSCC Considers Challenges for the e-Life", IEEE Solid-State Circuits Society Newsletter, 平成 19 年 3 月 29 日
- [2] "次世代のマルチバンド無線端末を小型化", 東京工業大学公式サイト 英語ニュース、2007 年 2 月 20 日
- [3] "可変 LNA", 日経マイクロデバイス 1/30 号(NO.918)、2006 年 1 月 30 日

【本研究開発課題を掲載したホームページ】

<http://www.ssc.pe.titech.ac.jp/~okada/>