



NEC/TOKIN NEC

EMC協調統合設計における (072002003) LSIパッケージ・チップレベル 集積化ノイズ抑制技術の研究開発

研究代表者 山口正洋
東北大学 大学院工学研究科

研究分担者

遠藤 恭 島田 寛 ガルシアヘルナンデス カリン リリアナ 酒井智和
東北大学 大学院工学研究科

岡本 聡
東北大学 多元物質科学研究所

吉田栄吉 荒井智次 小野裕司 近藤幸一 今野陽介
NECトーキン株式会社 研究開発本部

原田高志 増田則夫 塚越常雄 和深 裕
日本電気株式会社 システム実装研究所

研究背景

(1) 目的・概要

近い将来、4G携帯電話やWiMAXなどの超小型高周波電子機器とこれを支えるSi半導体のGHz帯応用技術の普及が予想される。しかしその発展によって、微細なLSIチップ内ならびにチップ相互間の**EMC問題**が隘路になっている。その解決に向けた基盤技術を創生するために研究開発を行う。

(2) 必要性・緊急性

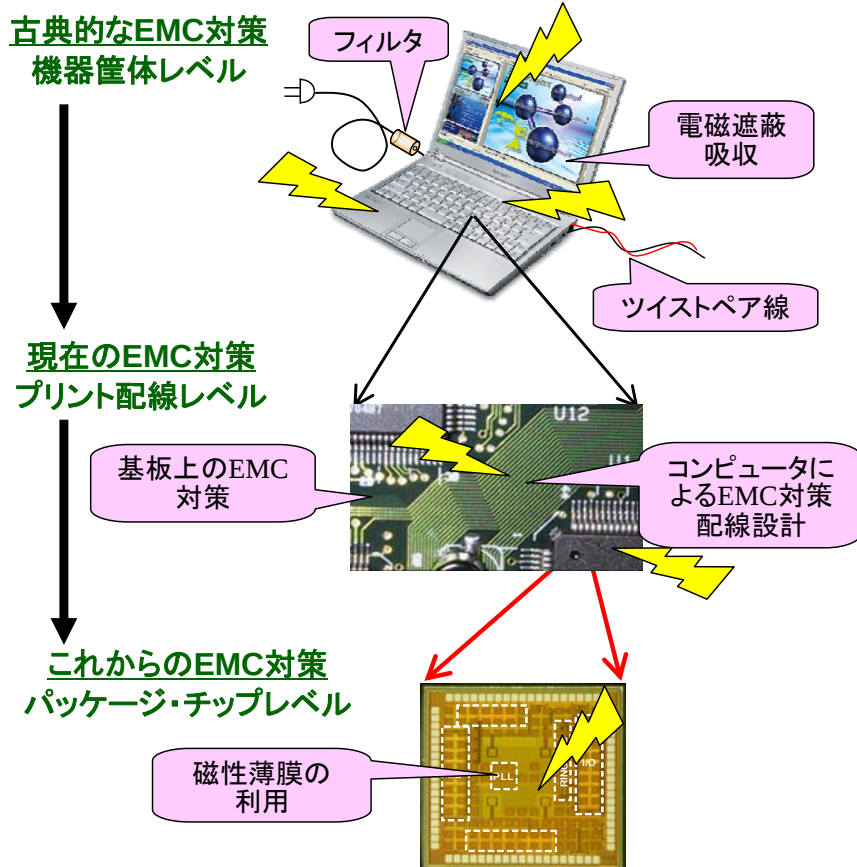
ユビキタス通信システム、超高速計算、低消費エネルギー社会のあらゆる観点からEMC対策は急務である。従来の**筐体・プリント配線板レベル**から、**LSIチップレベルEMC対策への進化**が不可欠であり、その実現には新しい**機能性材料**が必要である。

(3) 成果展開及び効果

- (a) 安全・安心: 不要電磁波の低減
受信障害対策、サイドチャネルアタック対策
- (b) 電子機器の高速・高機能化
チップ内およびチップ間のクロストーク対策

サイドチャネルアタック

暗号演算時の消費電力、演算時間、不要電磁波などを用いて鍵情報を盗み出す



次世代情報通信用モバイル電子機器における正常動作と安全・安心の確保のために

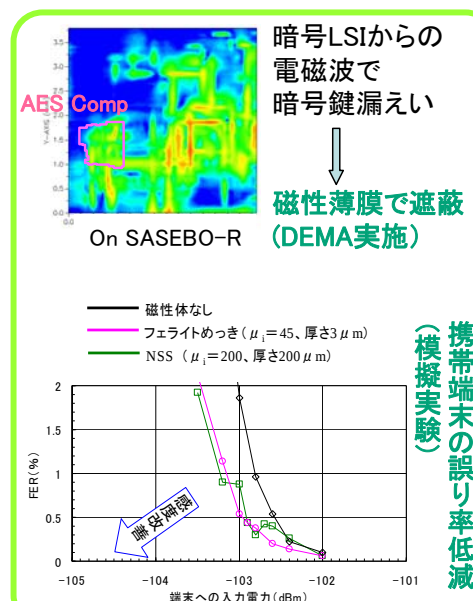
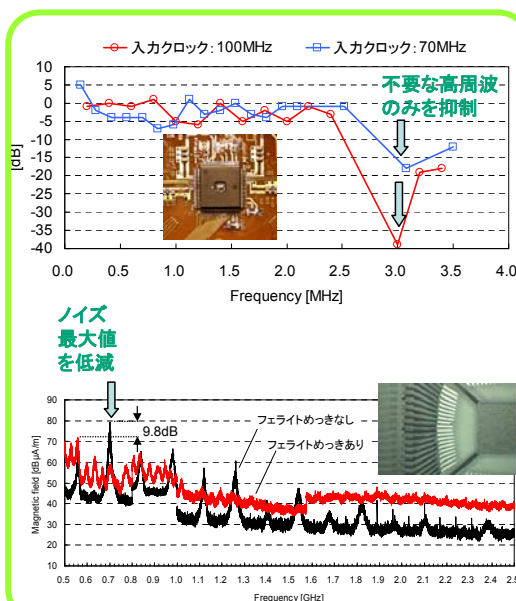
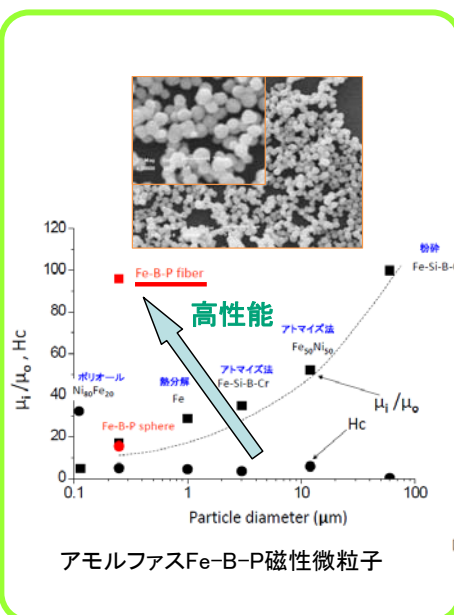
概要

主要なノイズ発生源と認識されながら抜本的な対策手法が見出せなかった
LSIパッケージレベルならびにLSIチップレベルにおける電磁ノイズ抑制技術を開発

新材料開発(特許取得)

→ LSIパッケージ・チップ
レベルノイズ抑制(10dB以上)

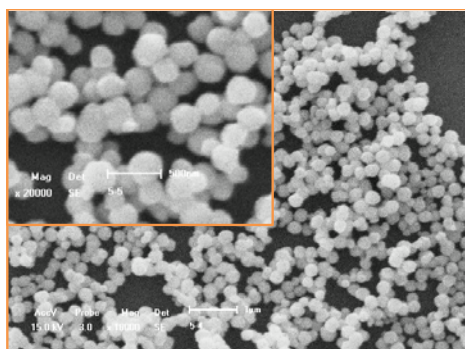
→ 安全・安心な社会および
次世代高速通信に貢献



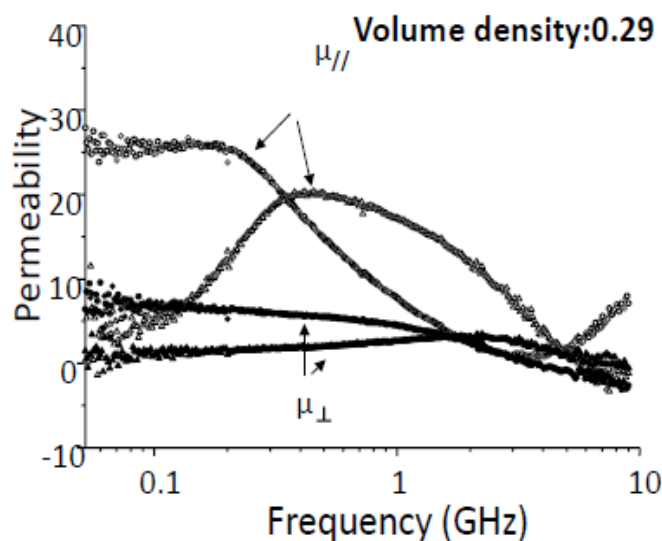
- ・高速伝送の品質を確保でき、より暮らしを快適にできます。
- ・次世代LTE級RFICチップの開発に貢献できます。
- ・電子機器全般の設計自由度は増し、開発期間は短縮。高機能化のハードルは低下。したがって、国際競争力が強化

2.1. 集積化電磁ノイズ抑制材料の開発

アモルファスFe-B-P 磁性微粒子

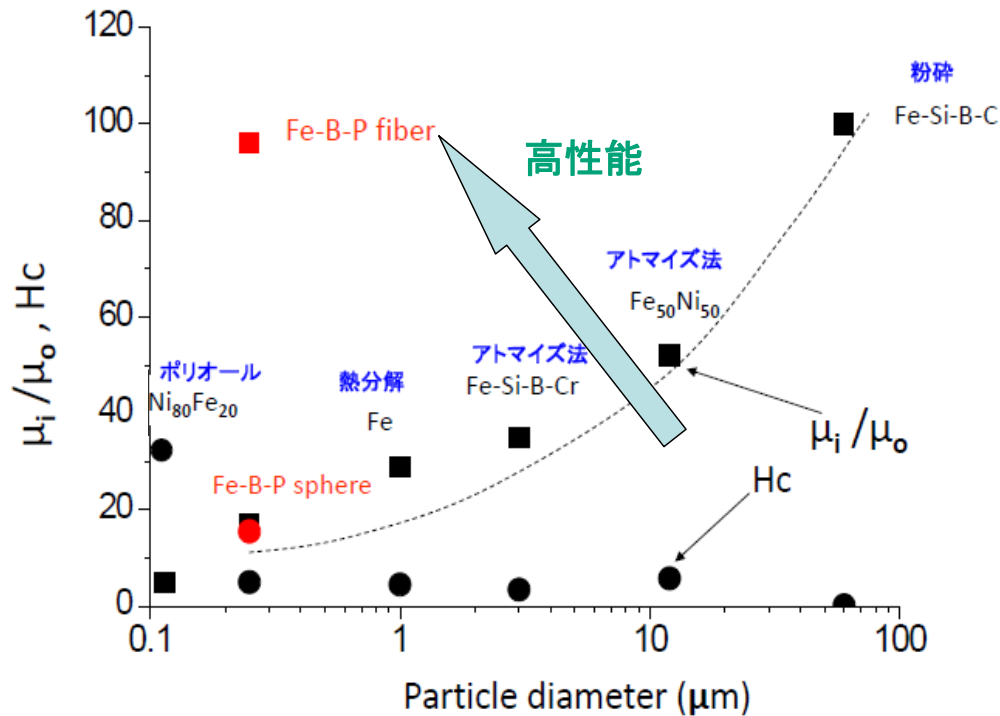


磁場中合成により、微粒子形状を針状にして高透磁率を実現



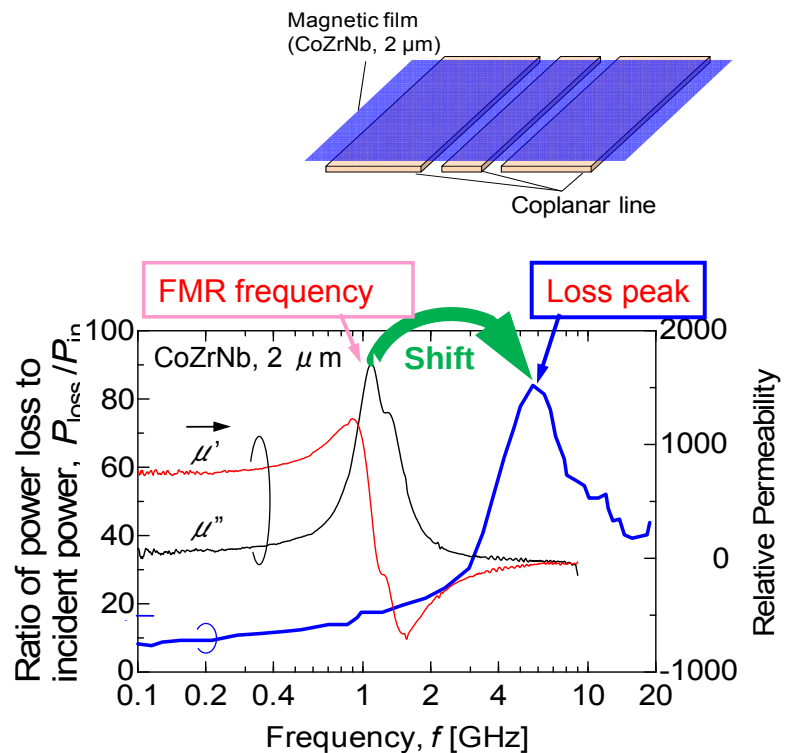
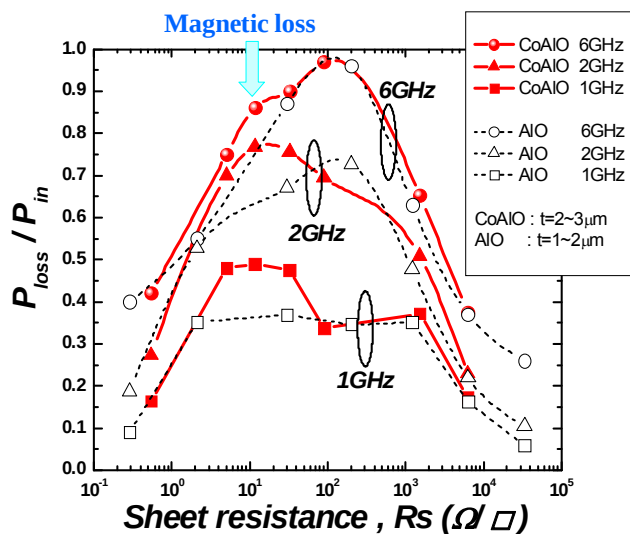
2.1. 集積化電磁ノイズ抑制材料の開発

各種磁性微粒子の粒
径と透磁率との関係



2.2. ノイズ抑制メカニズムと設計指針

下記の2つの大きな疑問を解決

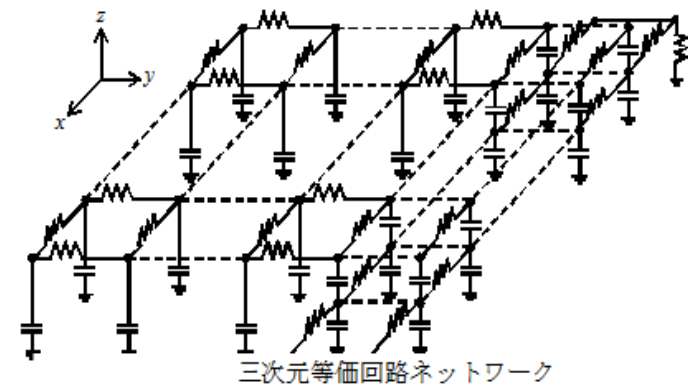


損失量はなぜシート抵抗で決定されるのか？

損失最大周波数はなぜ強磁性共鳴周波数からずれるのか？

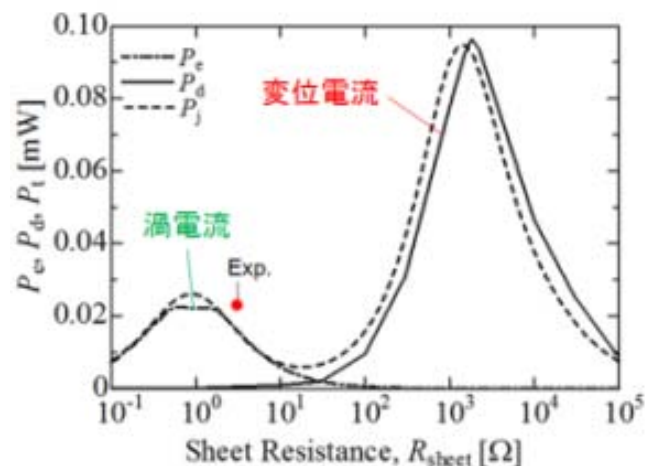
2.2.ノイズ抑制メカニズムと設計指針

ジュール損失



渦電流
(面内の電流経路)

変位電流
(膜に垂直の電流経路)

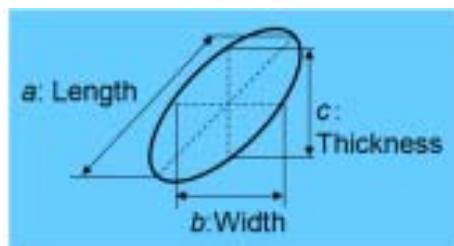
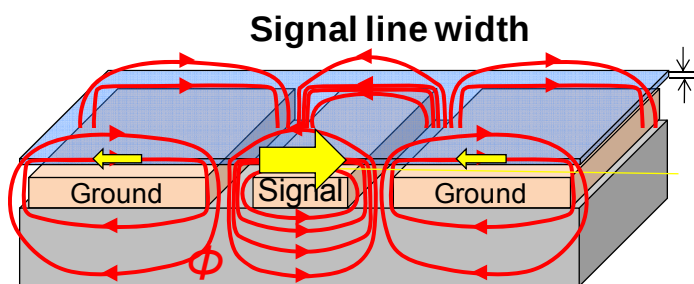


シート抵抗に対する膜内のジュール損失の比較

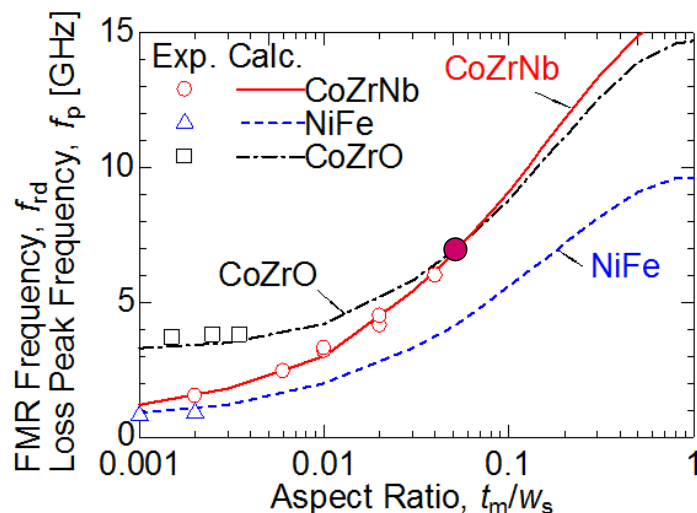
シート抵抗を適切に選択することにより、渦電流損失および導電損失をそれぞれ最大化可能

2.2.ノイズ抑制メカニズムと設計指針

強磁性共鳴損失



3次元的な
反磁界係数
を計算



反磁界を考慮した共鳴周波数と損失極大周波数との比較

➡ オンチップ伝送線路へ集積した磁性薄膜によるジュール損失および強磁性共鳴損失によるノイズ抑制機構を解明

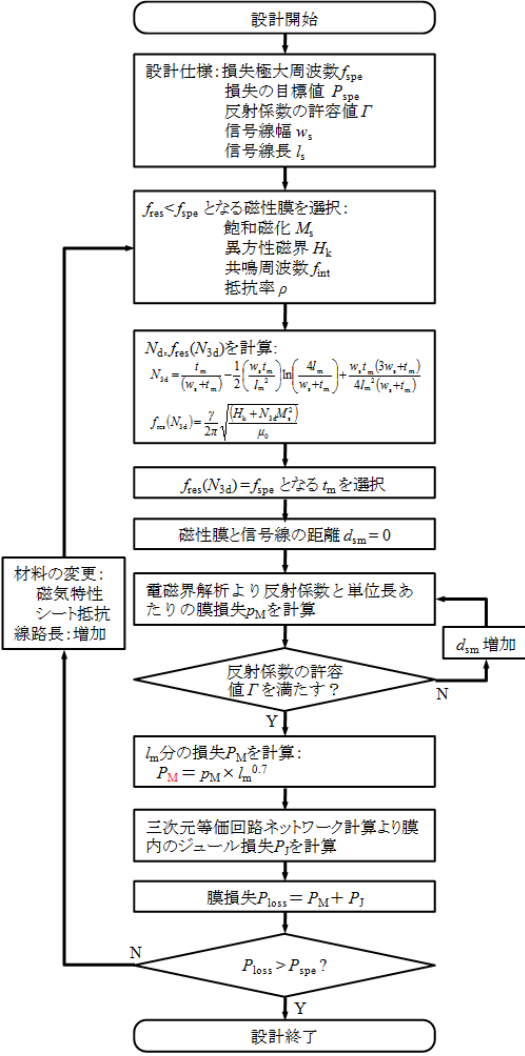
ノイズ抑制効果が最大となる周波数は膜の反磁界により強磁性共鳴周波数と比較して高い

2.2.ノイズ抑制メカニズムと設計指針

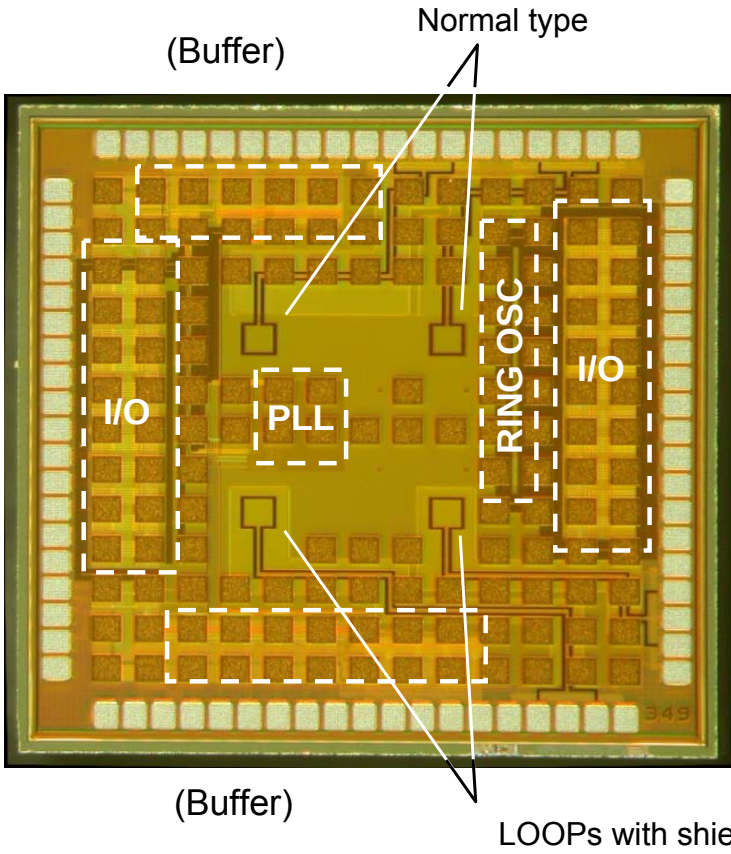
設計フローチャート

強磁性共鳴損失と
ジュール損失を最大化
フローチャートに基づいて
オンチップノイズ抑制体を
設計・試作:
実験値(左図のExp.)が
計算値と一致

→ 強磁性共鳴損失とジュール損失を
最大化する設計指針の提案



2.3. LSIパッケージ・チップレベル集積化実証実験 TEG chip (90nm process)



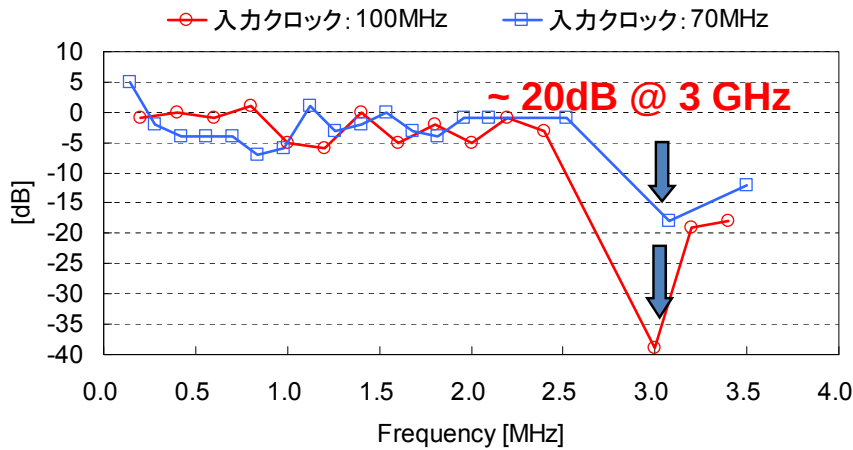
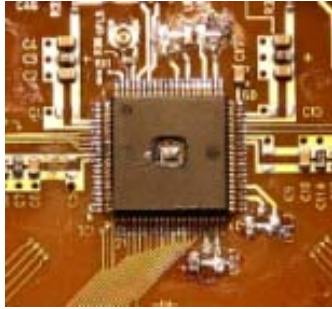
Process	STARC ☆shuttle® 90nm
Metal	6 Cu metal layers + Pad Al
Chip size	2.5 x 2.5 [mm]
Package	QFP (quad flat package) 0.65mm pin pitch, 80 pins. 14 x 14 mm (outline)
Pad (on die)	19 pads x 4 = 76 pads, 100 μ m pitch
IP	PLL + I/O (I0=8mA, 30pF load) x 8 (2.3ns)
Ring osc	High / middle / low x 2 + I/O (I0=8mA, 30pF load) x 6
Power supply	1.0V – PLL and I/O core 2.5V – I/O output

2.3. LSIパッケージ・チップレベル集積化実証実験

Fe-B-P微粒子薄膜によるノイズ低減量

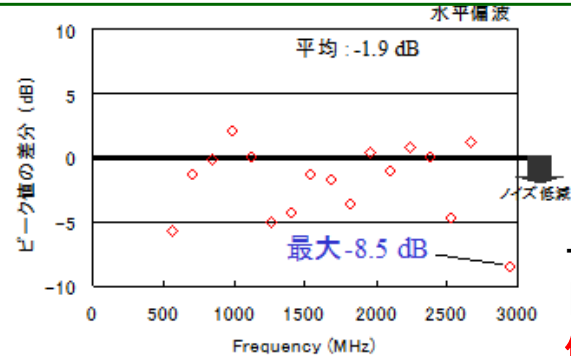
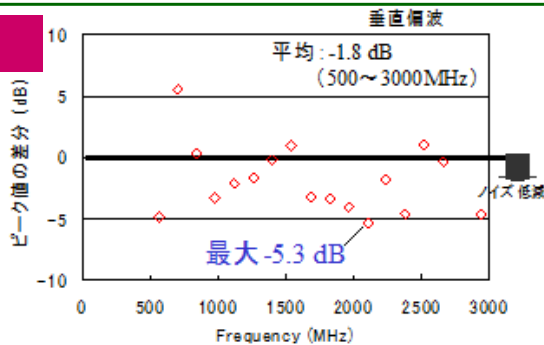
IEEE ICMM 2010, Boston, MA, USA で招待講演(2010.6)

近傍磁界



→ 近傍界:
目標の**10 dB**
低減を達成

遠方界

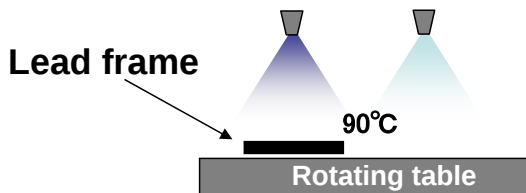


→ 遠方界:
目標の**5 dB**
低減を達成

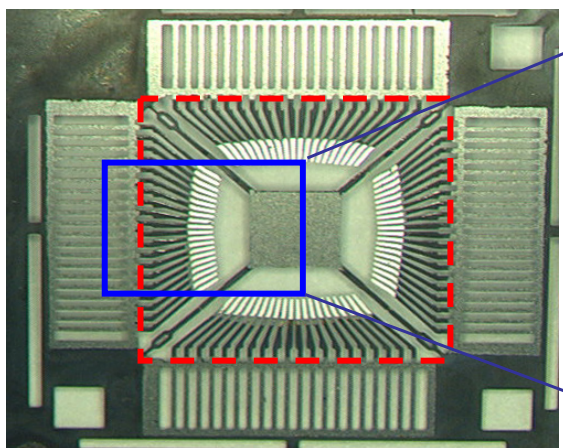
→ ノイズ源であるチップに密着させて磁性膜を形成することの有効性を明確化

2.3. LSIパッケージ・チップレベル集積化実証実験

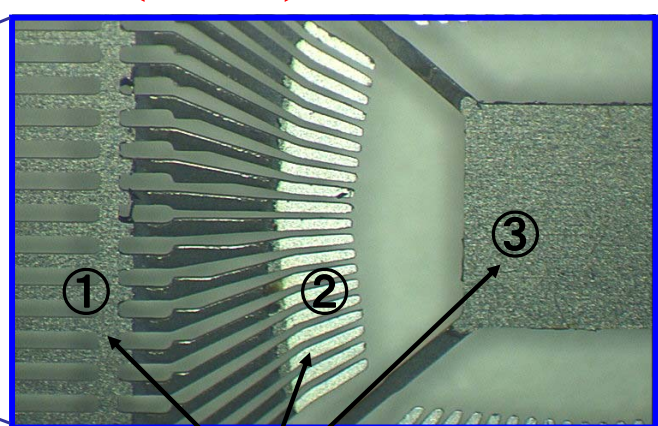
リードフレームへのフェライトめっき膜集積化



Ferrite plated area
(Film B : $\text{Ni}_{0.2}\text{Zn}_{0.3}\text{Fe}_{2.5}\text{O}_4$)



line pitch : 0.65 mm



Masked area

- ① Outer lead
- ② Wire bonding
- ③ LSI mounting

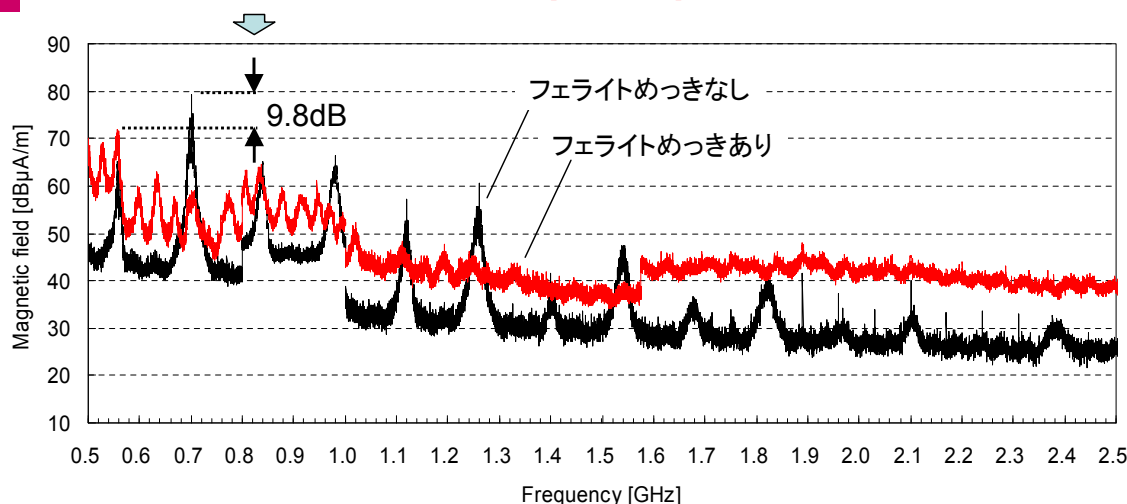
--- resin molding area

2.3. LSIパッケージ・チップレベル集積化実証実験

フェライトめっき膜によるノイズ低減量

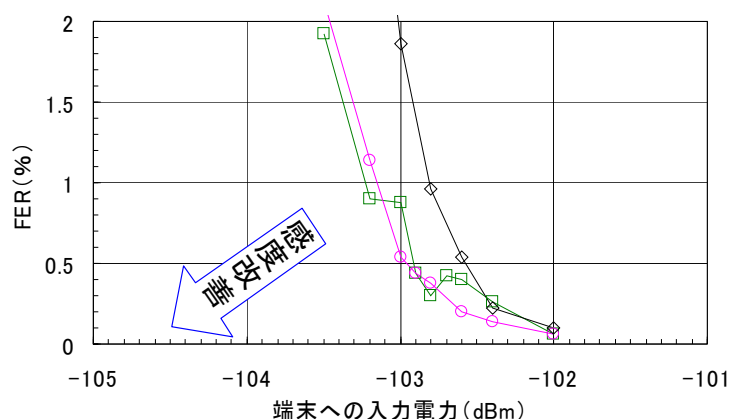
近傍磁界

ノイズ最大値を低減 (9.8 dB) → 目標の10 dB低減をほぼ達成

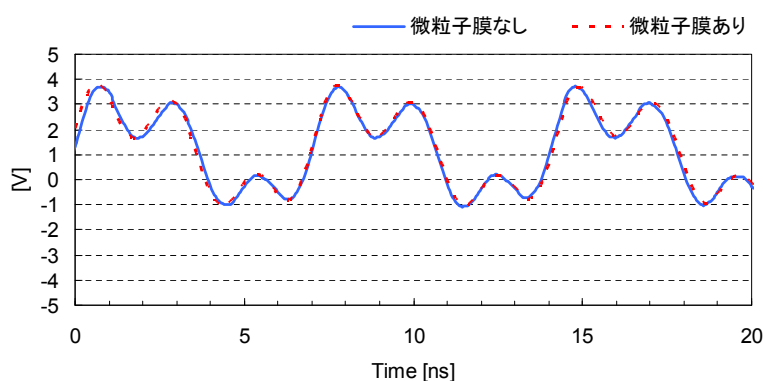


2.3. LSIパッケージ・チップレベル集積化実証実験

フェライトめっき膜によるノイズ低減量



フェライトめっき膜あるいはNSSによる
フレームエラーレート(FER)の改善

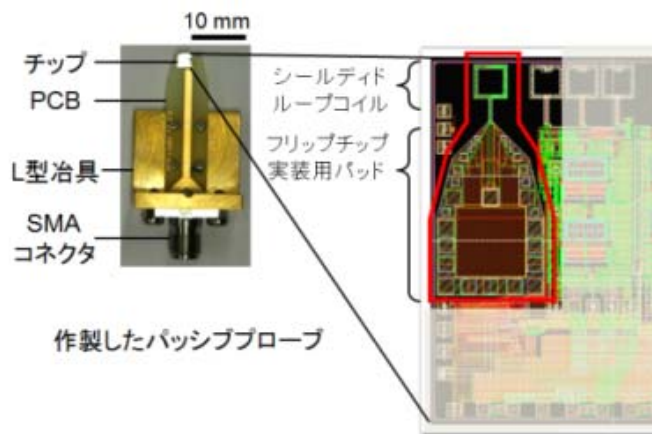


信号波形の比較
(出力低下は0.5 dB以下)

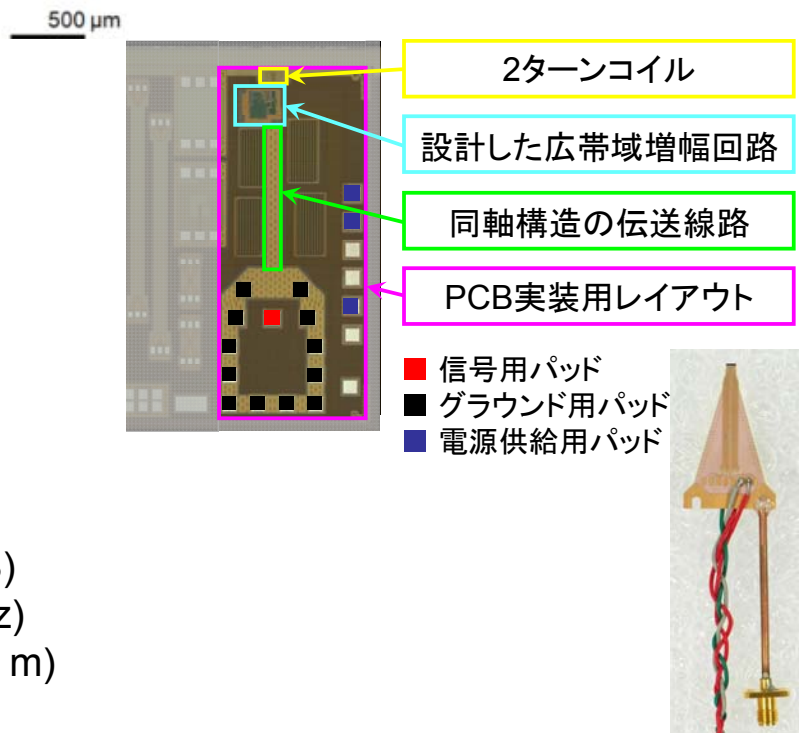
→ 磁性膜による携帯電話の感度改善
(0.5%を基準として3.2 dB, 出力低下は0.5 dB以内)

2.4.インテリジェントマイクロ磁気プローブ

受動型プローブ



増幅器集積化マイクロ磁気プローブ

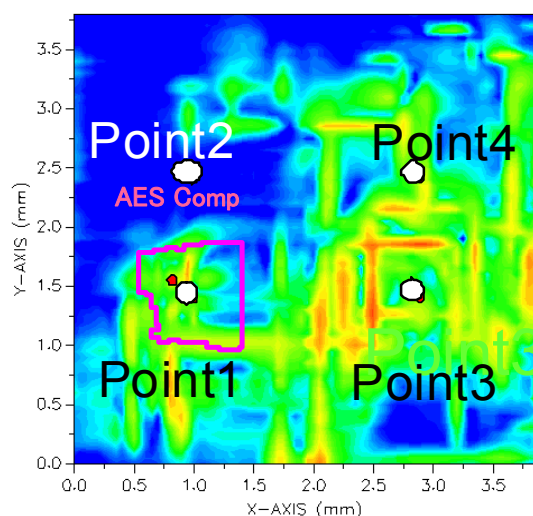


- 増幅度 18.6 dB (目標値: 20 dB)
- 周波数帯域 6 GHz (目標値: 6 GHz)
- 空間分解能 40 μm (目標値: 20 μm)

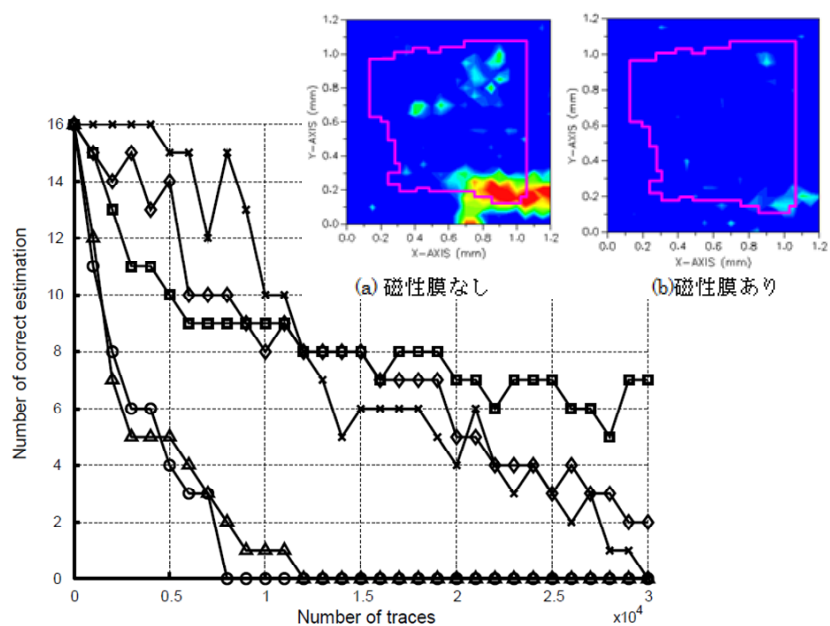
個別性能では目標をほぼ達成

2.4.インテリジェントマイクロ磁気プローブ

差分電磁波解析(DEMA)への対策



マイクロ磁気プローブによる
暗号LSI上の磁界分布



極近傍への電磁波攻撃が新たな高精度解析になり得ることを実証
暗号LSIからの電磁波で暗号鍵漏えい → 磁性薄膜で遮蔽

IEEE EMC 2010 (Ft. Lauderdale, FL, USA) で依頼講演予定(2010.7)

成果発表等

- 誌上発表 査読付18件、口頭発表97件
- 申請特許 全9件
- 登録特許 全2件
- 受賞 全1件

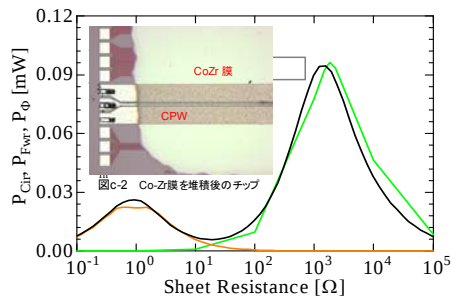
ほぼ当初目標を達成

まとめ

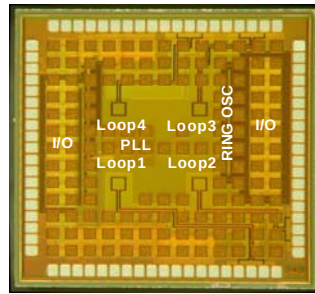
- 生産性の高いアモルファス材料に着目し、高性能特性を実現するFe-B-Pアモルファス微粒子を開発
- オンチップ伝送線路へ集積した磁性薄膜によるジュール損失および強磁性共鳴損失によるノイズ抑制機構を解明
- TEGチップ上にFe-B-Pアモルファス微粒子およびフェライト薄膜を集積化し、近傍界10 dBおよび遠方界5 dBのノイズ抑制を達成
- 実際の携帯電話端末のパッケージレベルで磁性膜を適用し、3.23 dBの感度改善（出力の低下は0.5 dB以下）
- インテリジェントマイクロ磁気プローブに関し、増幅度20 dB、周波数帯域6 GHz、空間分解能20 μ mを個別性能でほぼ達成
- 暗号LSIへのサイドチャンネルアタックに関し、極近傍への電磁波攻撃が高精度解析になりえることを実証/磁性膜による近傍磁界測定が情報セキュリティ上も有用であることを明確化
- EMC協調統合設計に適したノイズ抑制法の開発を促進

まとめ(続き)

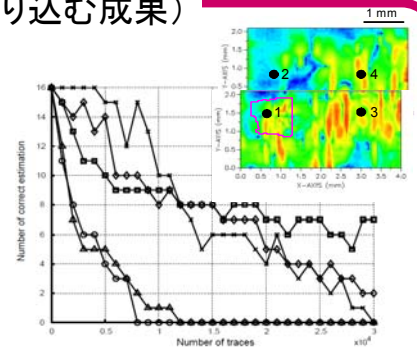
本研究開発による成果(チップの物理層に直接入り込む成果)



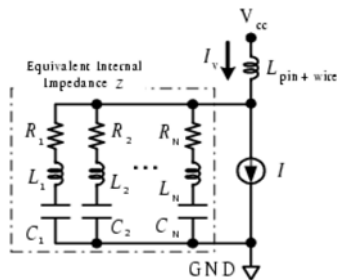
ノイズ抑制用磁性薄膜の開発と
抑制基礎メカニズムの解析
伝送線路上における動作解明



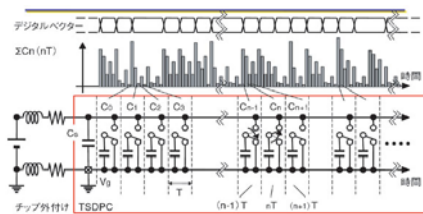
90nmルール模擬チップ・PKG試作
PLLとI/Oについて、
ノイズ解析と磁性膜効果検証



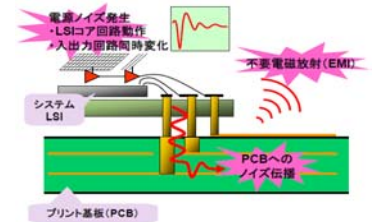
マイクロ磁界プローブ開発と
暗号ILSIへの差分電磁波攻撃
脆弱性を発見し対策法を提言



IC/LSI電源系EMCマクロモデル
京都大 和田修己教授
岡山大 古賀隆治教授
LECCS



電源電流モデル解析
神戸大 永田真教授
時系列分割寄生容量列
TSDPC



電源モデル解析
富士通
Power Unitを用いた
プリント板一体解析