

ナノゲート・カーボンナノチューブ FET の研究開発 (072106004)

Development of nano-gate carbon nanotube FETs

研究代表者

大野 雄高 名古屋大学工学研究科

Yutaka Ohno Department of Quantum Engineering, Nagoya University

研究期間 平成 19 年度～平成 21 年度

概要

本研究では、カーボンナノチューブ FET の高速動作実証のための多チャネル・ナノチューブ FET の構築技術を開発するとともに、特性制御技術を開発することを目的とし、主に、高密度配向ナノチューブの成長技術、コンタクト抵抗低減技術、セルフアラインプロセスによる微細ゲート素子作製技術、素子特性制御技術を開発するとともに、光学的手法を用いてナノチューブ本来の持つキャリア速度を評価した。その結果、ナノチューブ FET において電流遮断周波数 12 GHz を得るとともに、大気安定な高性能ナノチューブ CMOS を実現した。

Abstract

In this project, I aimed to develop a technology to realize multi-channel carbon nanotube FETs for demonstration of the high speed operation. For this purpose, the techniques to grow high-density-aligned carbon nanotubes, to reduce contact resistance, to fabricate short-channel devices with a self-align process, and to control device conduction property have been developed. Intrinsic carrier velocity of carbon nanotubes has also been evaluated by means of optical spectroscopies. As a result, a high current gain cut off frequency of 12 GHz was demonstrated. I also realized a high performance nanotube CMOS device with stability in air.

1. まえがき

カーボンナノチューブにおいて、キャリアはバリスティック伝導による高速走行が可能であり、ナノチューブ電界効果型トランジスタ(FET)は高周波動作が期待できる。しかしながら、ナノチューブ自体のもつ電気的特性は優れているものの、実際のデバイスにおいては、電極や配線の寄生容量に対してナノチューブ 1 本の電流駆動能力が小さく、高速動作は実現できていない。高速動作実証のためには、ゲート長の短縮のみならず、デバイスの寄生的な抵抗と容量を低減するとともに、単位デバイス幅当たりの電流駆動能力を向上させることが重要である。

本研究では、カーボンナノチューブ FET の高速動作実証のための多チャネル・ナノチューブ FET の構築技術を開発するとともに、特性制御技術を開発することを目的とした。主な研究開発項目は (1) ナノチューブ成長のための触媒技術・成長技術、(2) 寄生抵抗低減のための界面制御技術、(3) 短ゲート高周波素子作製技術、(4) 界面制御による p/n 制御技術である。

2. 研究内容及び成果

2. 1. 触媒微粒子の形成と高密度配向ナノチューブの成長

高密度にナノチューブを配向成長させるためには、基板上に微小触媒粒子 (Co 金属微粒子) を高密度に形成する必要がある。本研究では、アークプラズマ堆積法を導入することにより、サイズの小さい触媒微粒子群を高密度に得ることを実現した。また、触媒の堆積条件 (放電電圧、放電回数など) を最適化するとともに、堆積後の加熱処理の最適化を行い、微粒子サイズおよび密度の制御を可能とした。さらに、成長前の還元処理において、微量のエタノールを添加することにより、触媒の凝集を抑制できることを見出した。

図 1(a) は 820°C で加熱処理した後、還元処理を行った Co 微粒子の AFM 像とサイズのヒストグラムである。触媒のサイズは平均 1.02 nm、標準偏差は

0.33 nm、密度は $6 \times 10^2 \mu\text{m}^{-2}$ であり、ナノチューブの成長に最適なサイズの触媒が比較的均一かつ高密度に形成できていると言える。

この触媒を用いて水晶基板上にカーボンナノチューブを成長したところ、図 1(b) に示すように高密度な配向ナノチューブアレイが得られた。密度は平均で $22 \mu\text{m}$ であった。

2. 2. 界面制御による低抵抗コンタクトの形成

多端子ナノチューブ FET を用いた Transmission-line

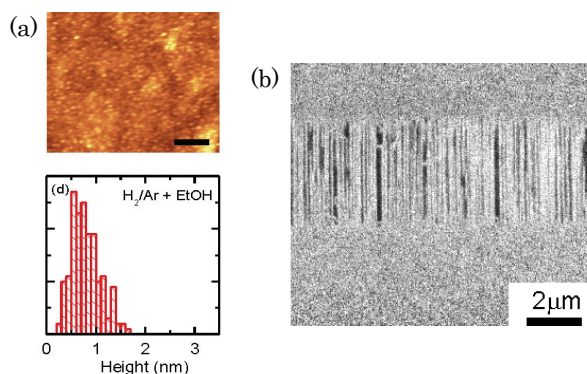


図 1 (a) アークプラズマ堆積法により形成された触媒微粒子、(b) 高密度カーボンナノチューブアレイ。

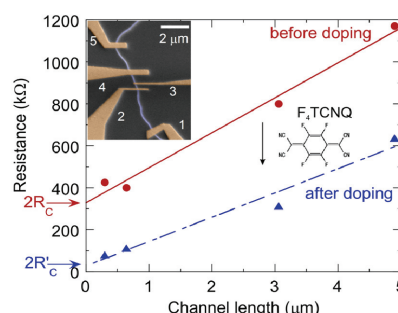


図 2 化学ドーピングによるコンタクト抵抗の低減。

model (TLM)法により、チャネル抵抗(R_{CH})とコンタクト抵抗(R_C)を分離して測定する技術を確立した。図2は電子親和力の大きい有機分子(F_4TCNQ)を用いて化学ドーピングを行った場合のコンタクト抵抗の変化を示す。ドーピングにより、 R_C は1/10程度に低減した。これは、電極とナノチューブの接合付近に F_4TCNQ 分子が吸着することにより、ダイポールが形成され、界面付近で強くバンドが曲げられるため、実効的なショットキ障壁が低下したと理解できる。

2. 3. 50nm ゲート高周波ナノチューブFETの作製

デバイス的高速化に効果的なゲート長の短縮、およびソース・ゲート間およびドレイン・ゲート間の寄生抵抗の低減を目指し、既存の電子線リソグラフィ装置の描画限界である50 nmまでゲート長を短縮するとともに、マッシュルームゲート構造を形成する技術、およびそれをマスクとしたセルフアライン(自己整合)プロセスによりソース・ドレイン電極を形成する技術を確立した。作製した素子の断面SEM像を図3に示す。ゲート長50nmのマッシュルームゲートが実現されているとともに、ソース・ドレイン電極がゲート電極に合わせて形成されており、考案した作製プロセスが実現されている。

Sパラメータ測定により高周波特性を評価したところ、図4に示すように、電流利得遮断周波数 f_t は12 GHzであった。

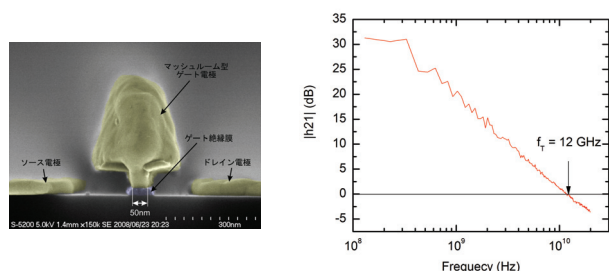


図3 (a) セルフアラインプロセスにより作製した50nm マッシュルームゲートFET, (b) 電流利得の周波数依存性。

2. 4. 界面電荷制御によるp/n制御とCMOSの作製

ALDを用いたゲート絶縁膜堆積技術において、堆積条件によってはナノチューブFETの伝導型(p型/n型)を制御できる可能性を見出した。これは、絶縁膜界面に導入された固定電荷によって、電極近傍に強い電界が生じることに基づく。例えば、絶縁膜が HfO_2 の場合、界面に正の固定電荷が存在し、電子に対するショットキ障壁が急峻に曲げられるため、電子は電極からナノチューブへと容易にトンネルできることを明らかにした。これにより、大気安定かつ高性能なn型カーボンナノチューブFETを実現した。

さらに、絶縁膜に Al_2O_3 を用いた場合、界面電荷密度が低いため、n型への特性変化は生じず、p型が保持された。つまり、堆積する絶縁膜の種類によりp/n制御を実現した。

この技術を用いて、1本のナノチューブにp型素子とn型素子を集積化し、CMOSを実現した。図4は(a) CMOSの構造模式図と(b)作製したCMOSのSEM像である。このCMOS作製方法は、Siプロセスにおいてコンタミネーションの原因となる卑金属や有機材料を用いておらず、Siプロセスに適合している。図4(c)は作製したCMOSの入出力特性である。入出力整合の取れた反転動作が実現できている。入出力整合は論理の継続性に必須であるが、入出力整合が得られている例はほとんどない。今回の結果は大きなゲインとノイズマージンが得られており、トップデータである。

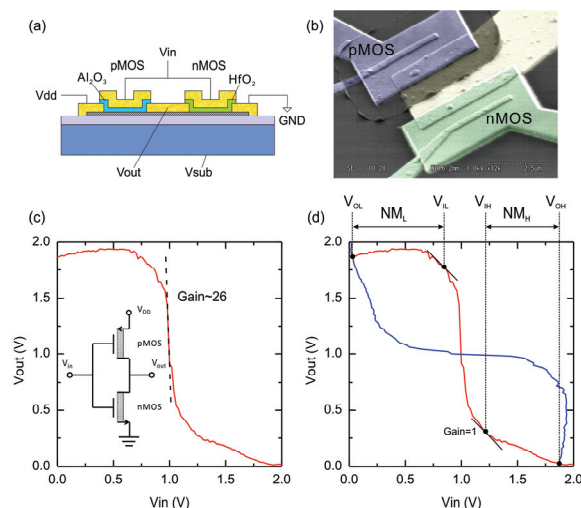


図4 作製したCMOSの(a)模式図, (b) SEM像, (c) 入出力特性, (d) Eyeパターン。

3. むすび

本研究で開発したナノチューブデバイス要素技術(コンタクトの低抵抗化技術, p/n制御技術など)は高周波FETに限らず、極微CMOSや薄膜トランジスタ(TFT)にも適応可能であり、学術的に極めて重要な知見が得られたと考えている。特に、p/n制御技術は、唯一の大気安定かつSiプロセスに適応した制御方法であり、今後の展開が期待できる。

【誌上発表リスト】

- [1] Y. Noshio, Y. Ohno, S. Kishimoto, and T. Mizutani, "The effects of chemical doping with F_4TCNQ in carbon nanotube field-effect transistors studied by the transmission-line-model technique", *Nanotechnology* Vol. 18, No. 41, 415202 (4p) (2007.9.12)
- [2] D. Phokharatkul, Y. Ohno, H. Nakano, S. Kishimoto, and T. Mizutani, "High-density horizontally aligned growth of carbon nanotubes with Co nanoparticles deposited by arc-discharge plasma method", *Applied Physics Letters* Vol. 93, No. 5, pp. 053112-1-3 (2008.8.7)
- [3] N. Moriyama, Y. Ohno, T. Kitamura, S. Kishimoto, and T. Mizutani, "Change in carrier type in high-k gate carbon nanotube field-effect transistors by interface fixed charges", *Nanotechnology*, Vol. 21, No. 16, pp. 165201-1-7 (2010.3.26)

【申請特許リスト】

- [1] 大野雄高, 水谷孝, 森山直希, 北村隆光, "半導体デバイスおよび製造方法", 特願 2009-249307, 日本 (2009.10.29)
- [2] 大野雄高, 畑謙佑, 佐藤忠, 河野修一, "カーボンナノチューブの製造方法, カーボンナノチューブ製造用の単結晶基板, およびカーボンナノチューブ", 特願 2010-045945, 日本 (2010.3.2)

【本研究開発課題を掲載したホームページ】

<http://qed63.qd.nuqe.nagoya-u.ac.jp/mizutanilab/>