

081503014

Oct 4, 2011

成果発表会資料

# 次世代超微細CMOSプロセスに適した 高マイクロ波帯デジタルRF回路技術の研究開発 (081503014)

「このたびの東日本大震災により被災された皆様方に心よりお見舞い申し上げますとともに、皆さまの安全と一日も早い復旧を心よりお祈り申し上げます。」

## 研究代表者

益 一哉

東京工業大学

ソリューション研究機構

**Kazuya Masu**

**Solutions Research Laboratory**

**Tokyo Institute of Technology**



**Semiconductor Solution Research**

<http://masu-www.pi.titech.ac.jp>

**TOKYO TECH**  
Pursuing Excellence

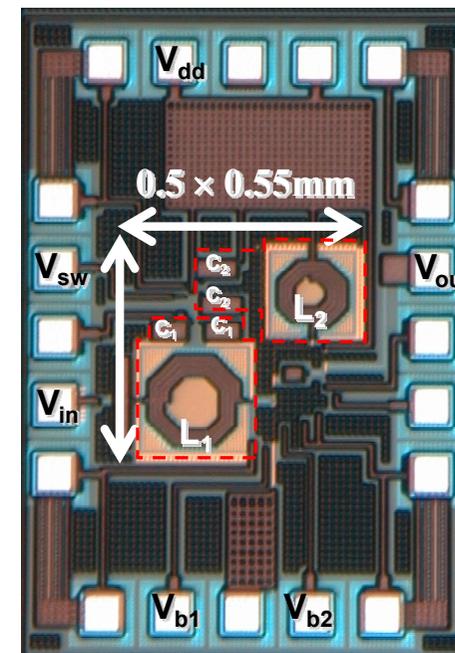
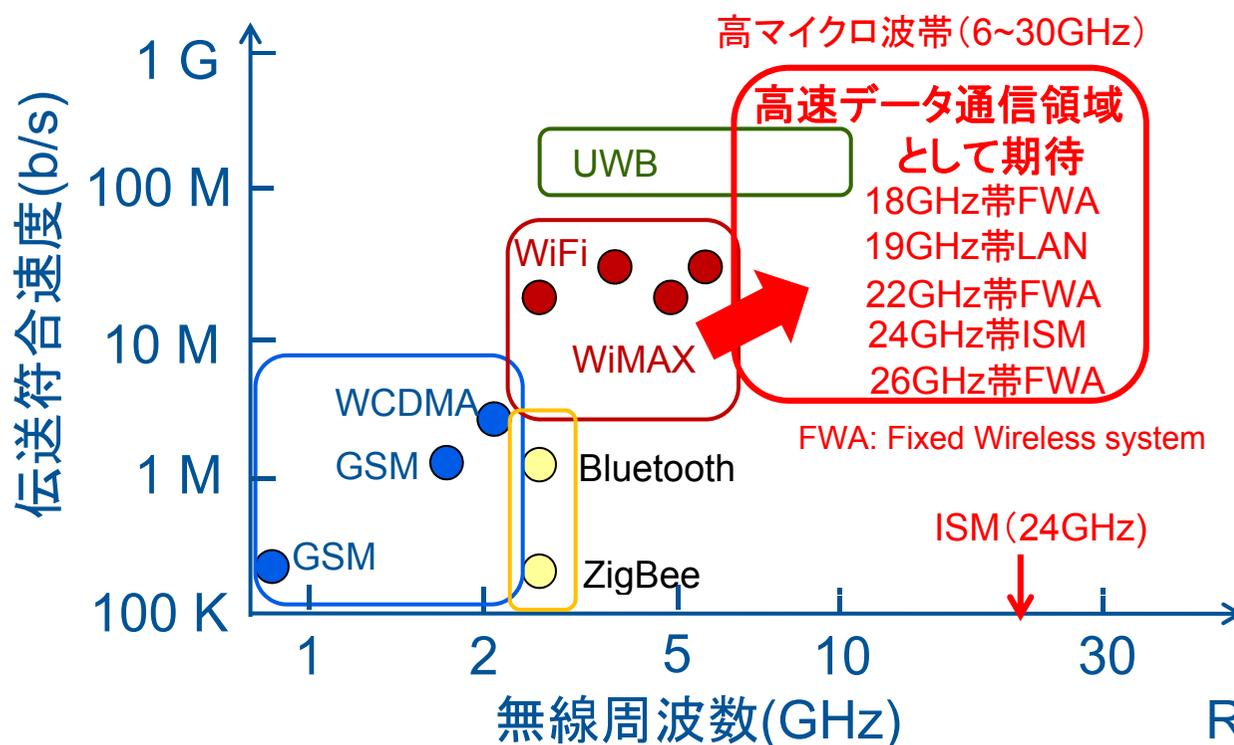
- 研究の背景と目的
- 研究成果：高マイクロ波帯デジタルRF CMOS回路技術
  - ① 高マイクロ波帯インダクタレス回路技術
    - ✓ インバータベース低雑音増幅回路(LNA)
    - ✓ リングVCOを用いた位相同期(PLL)回路
    - ✓ デジタルパルスからのRF信号生成回路
  - ② MEMSとの融合技術
    - ✓ MEMSインダクタのポテンシャル
    - ✓ MEMSスイッチと制御用CMOS昇圧回路
  - ③ プロセスばらつき・電源・温度変動に対する耐性の確保
    - ✓ LNAにおけるチップ間ばらつきの影響
    - ✓ 電源回路
- 総括

➤ 無線システムの多様化・広帯域化は必至

RF回路技術におけるマルチバンド化、高周波化は当然の流れ。

➤ 微細化による性能向上とチップ面積低減の両立

従来型のRF CMOS回路では、CMOSデバイスが微細化してもインダクタや容量の面積が減少しないので回路面積は減少せず。

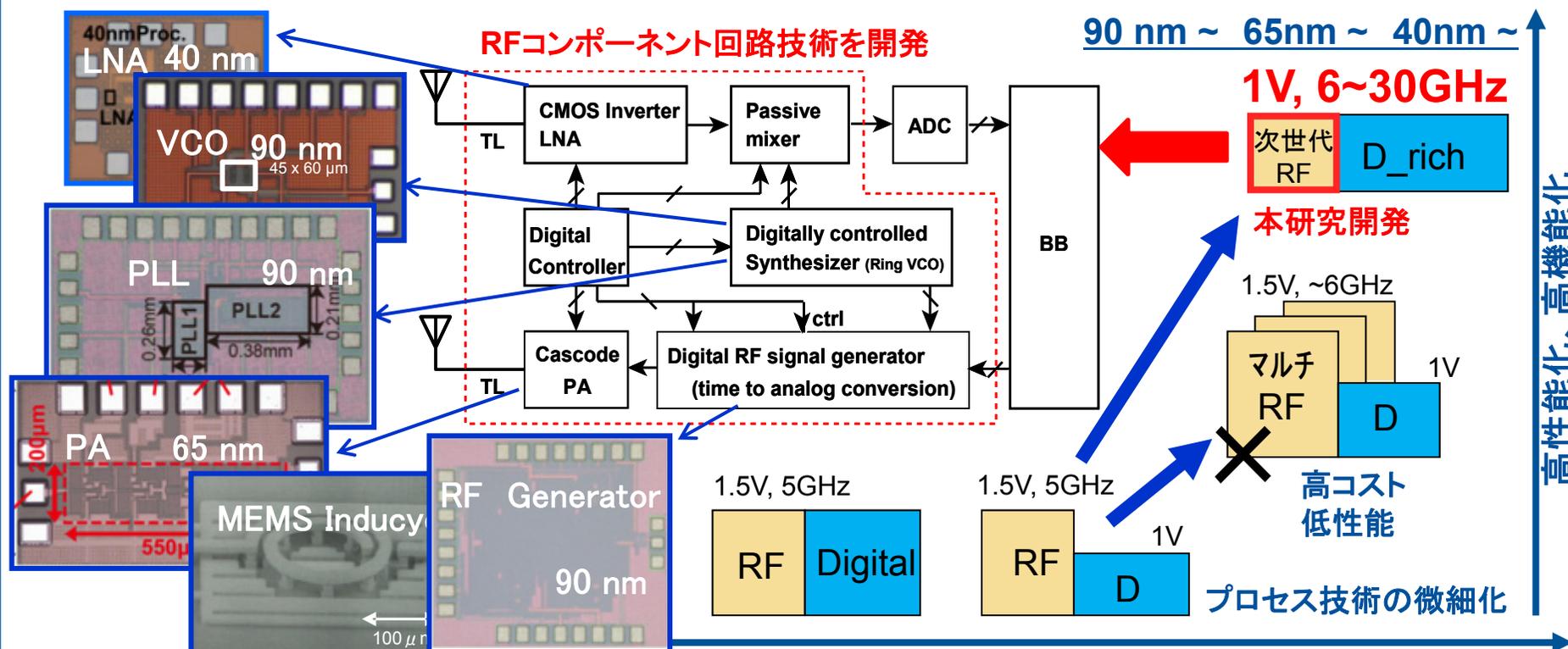


RF CMOS増幅回路チップ例

# 研究の目的

超微細CMOSプロセスを用いた  
6~30GHz帯の高マイクロ波帯デジタルRF回路技術の確立

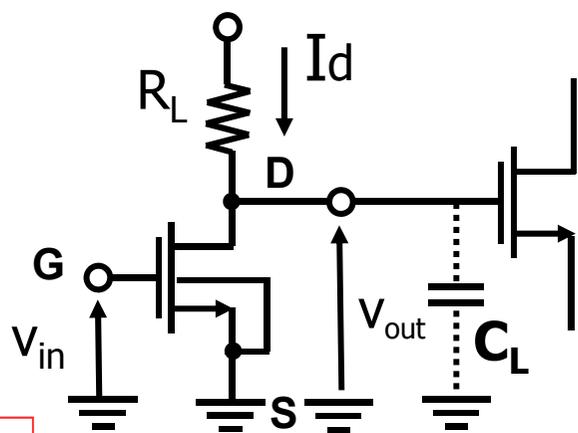
微細化による性能向上と低コスト化を可能とするRF回路技術



安心、安全、グリーンのデータベース社会を支えるRF回路技術：  
ワイヤレス瞬時データ転送(サーバ間、キオスク端末、大容量センサノード間)

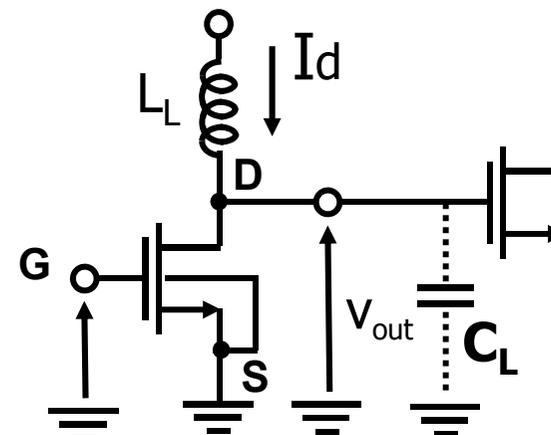
# インダクタレス広帯域低雑音増幅回路(LNA)

## インダクタレス(抵抗負荷) 対 インダクタ負荷



課題

抵抗負荷型の  
広帯域化



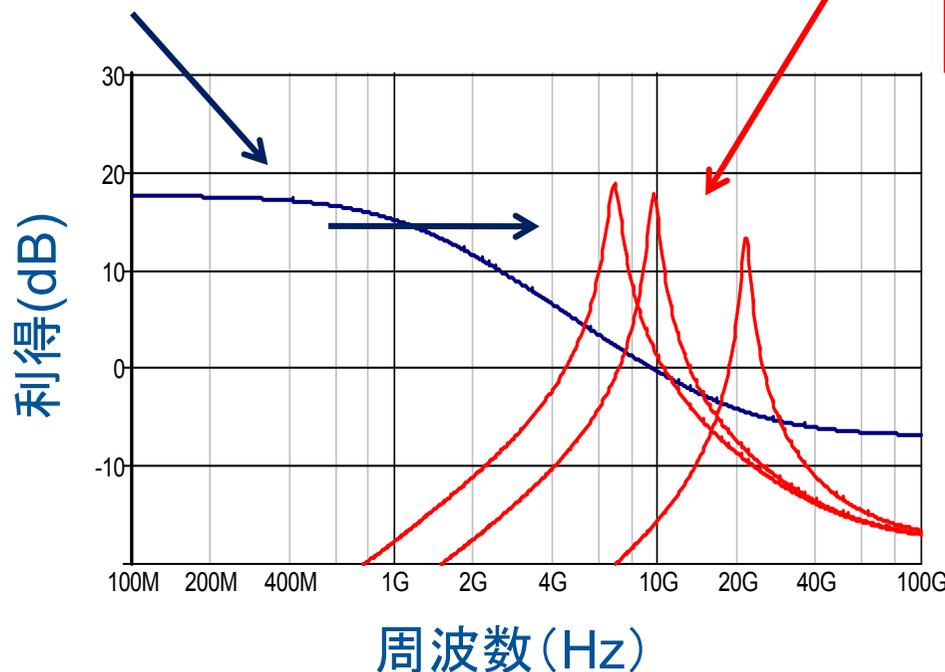
特徴

- ・ 直流からの広帯域動作が可能
- ・ RC成分によるローパス特性により動作帯域が制限
- ・ RLでの電圧降下で、線形動作範囲が制限

・ 回路面積が小。

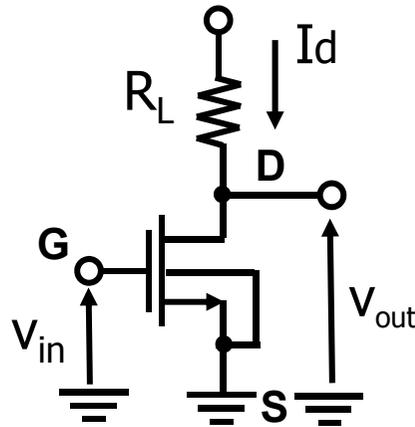
特徴

- ・ LC共振により高周波動作が可能。
- ・ 高利得化が容易、線形動作範囲が広い。
- ・ インダクタ面積が大



# インバータベース増幅回路

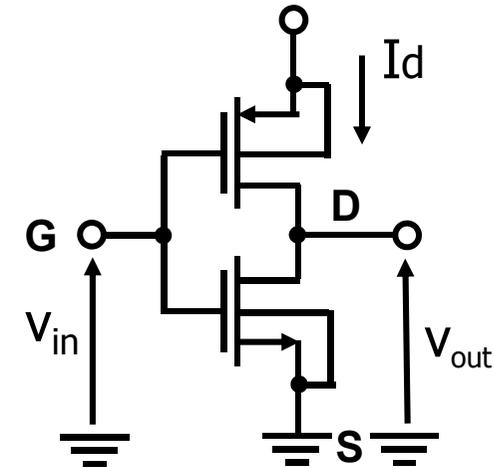
## CMOSインバータの高利得増幅特性に注目



$$A_v = \frac{V_{out}}{V_{in}}$$

$$g_m \cdot (r_o // R_L) < 2 \cdot g_m \cdot r_o$$

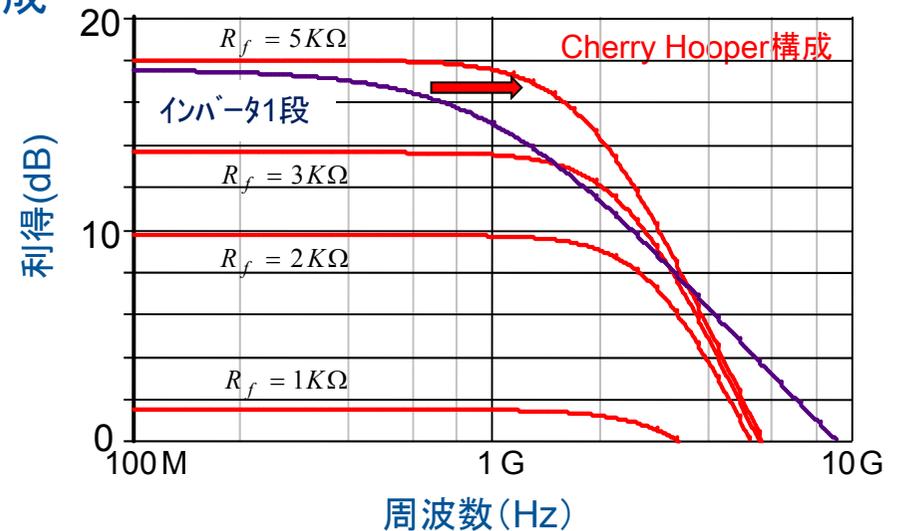
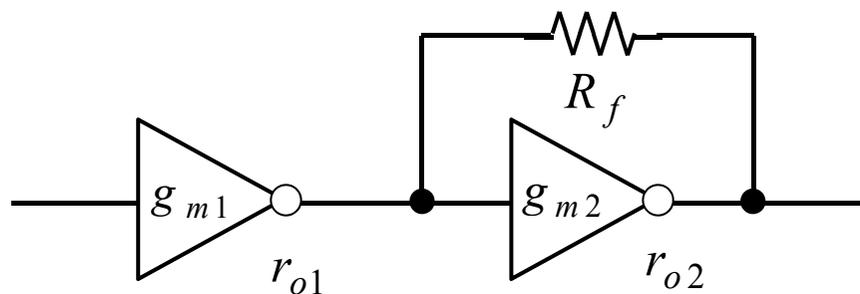
単純な抵抗負荷よりも、CMOSインバータの方が高利得で、アナログの要素回路として有利。



## 広帯域化回路技術

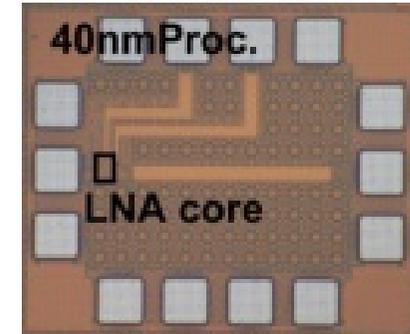
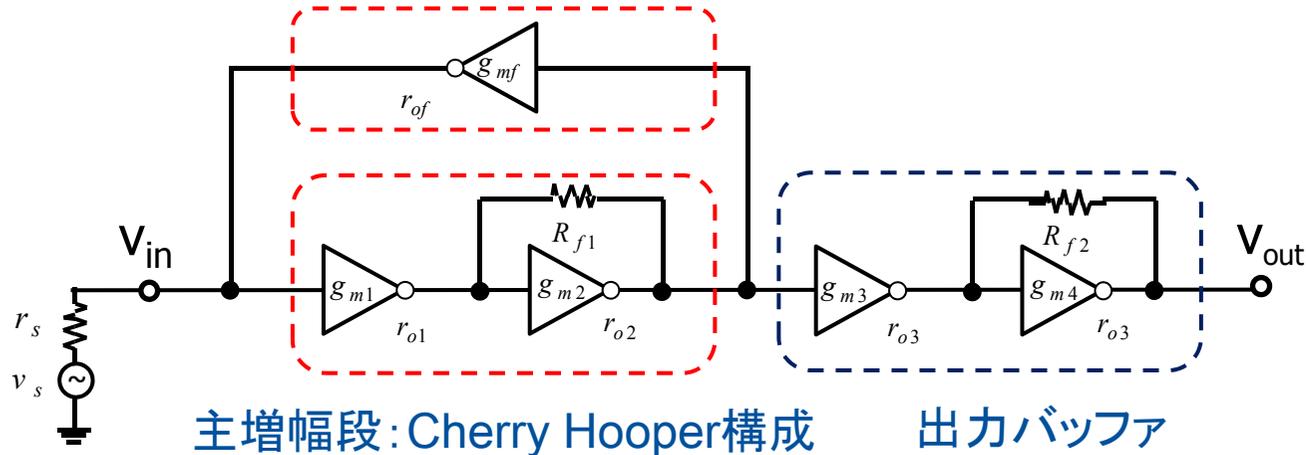
Cherry Hooper構成をCMOSインバータで構成

- ・ 2段目のミラー容量の影響を緩和可能。
- ・  $R_f$ 値により任意の利得設定が可能。

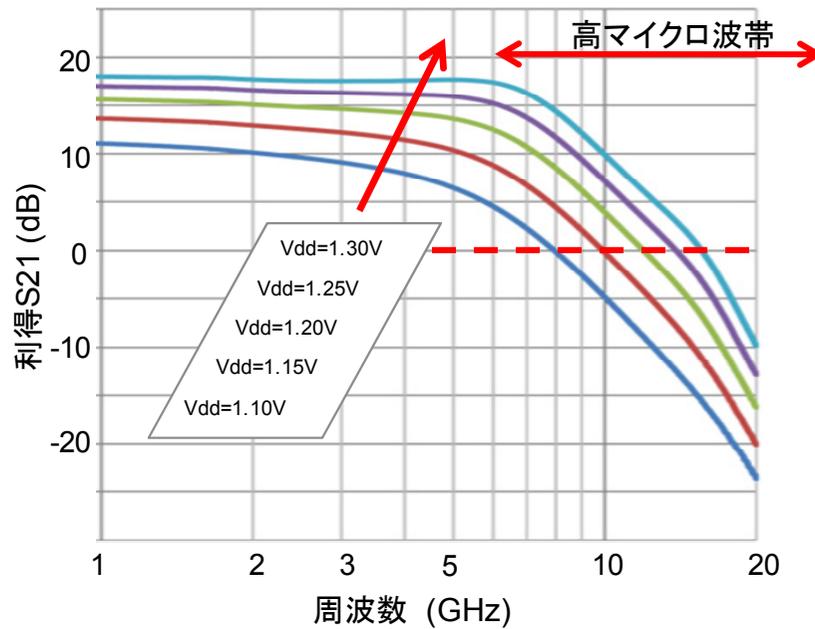


# インバータベースLNA

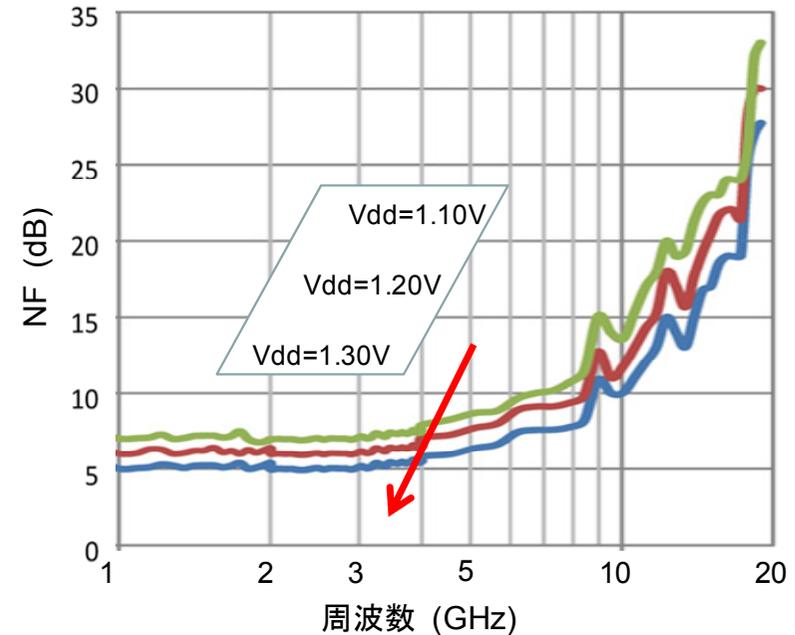
アクティブ帰還段: 入力整合 & 広帯域化



Supply voltage: 1.1 V  
Area: 40 x 26  $\mu\text{m}^2$

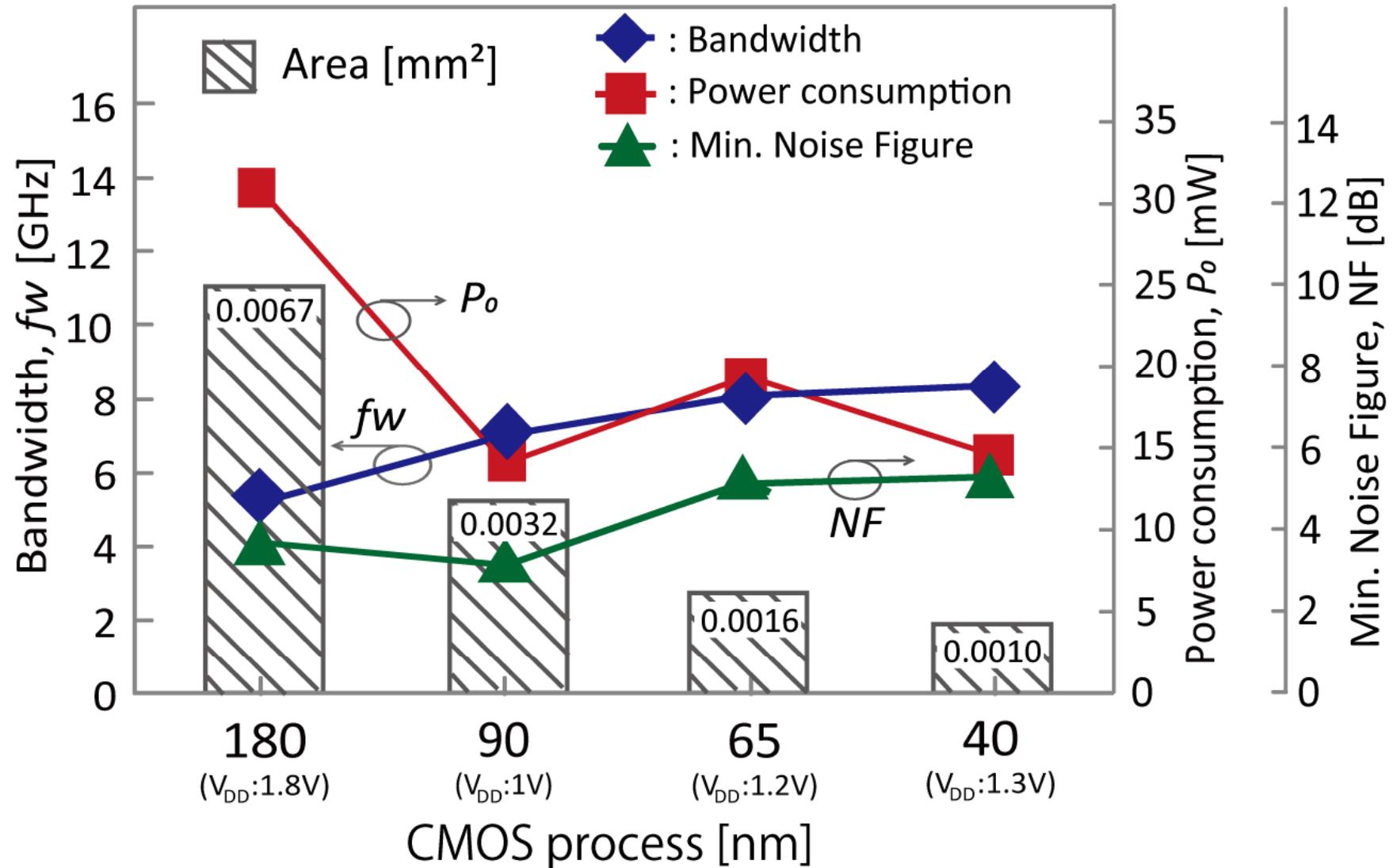


利得S21の周波数特性



雑音指数NFの周波数特性

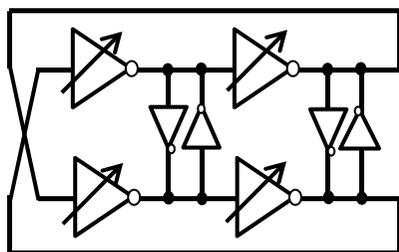
# インバータベースLNAのプロセス世代依存性



# リングVCOを用いた位相同期(PLL)回路

## ➤ 電圧制御発振回路VCOのインダクタンスレス化

リング型



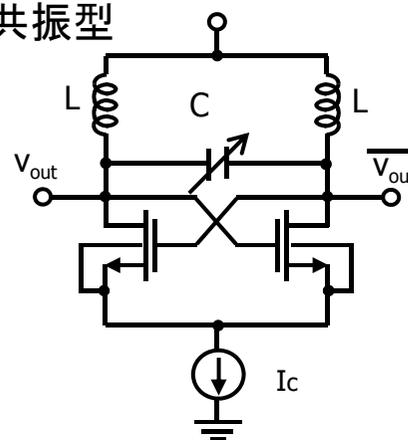
インバータによる  
差動リング発振回路構成

特徴

- ・回路面積が小
- ・スケラブル
- ・インバータの遅延時間制御により広帯域動作が可能だが位相雑音特性が悪い



LC共振型

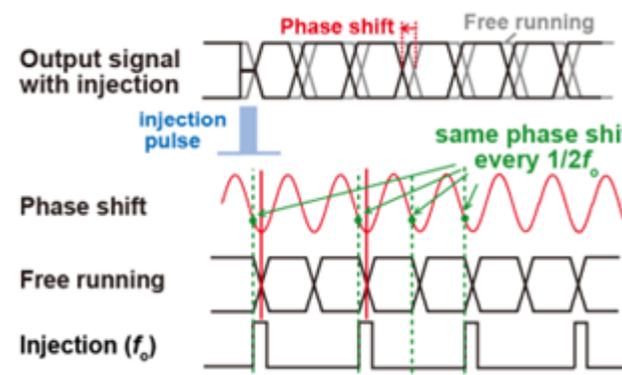
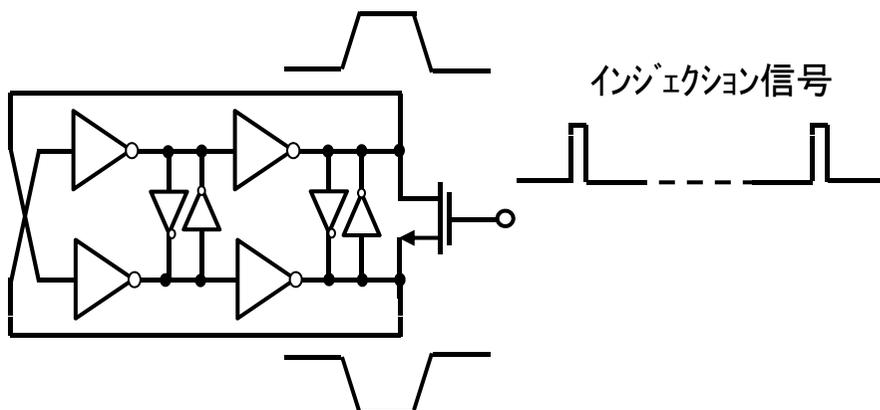


特徴

- ・回路面積が大
- ・アン・スケラブル
- ・狭帯域だが位相雑音特性に優れる

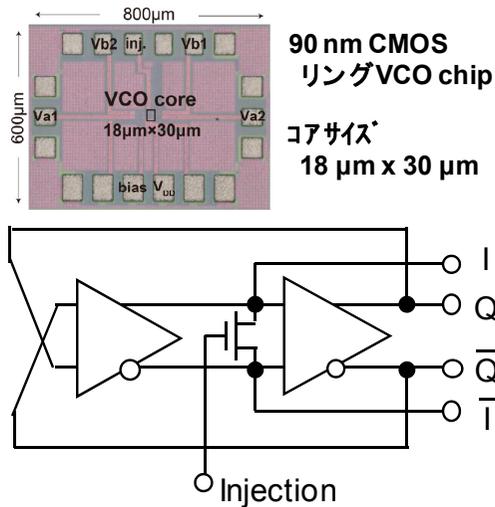
## ➤ インジェクションロックによる低位相雑音化を検討

システムの基準クロック(低周波の低位相雑音信号)を注入(インジェクション)



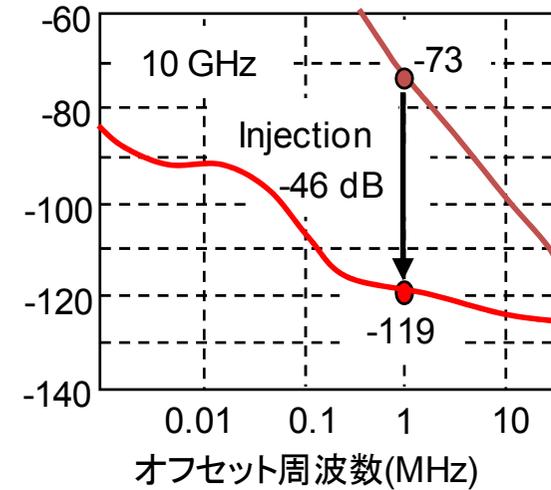
# リングVCOの試作評価結果1

## ➤ インジェクションロックによる低位相雑音化

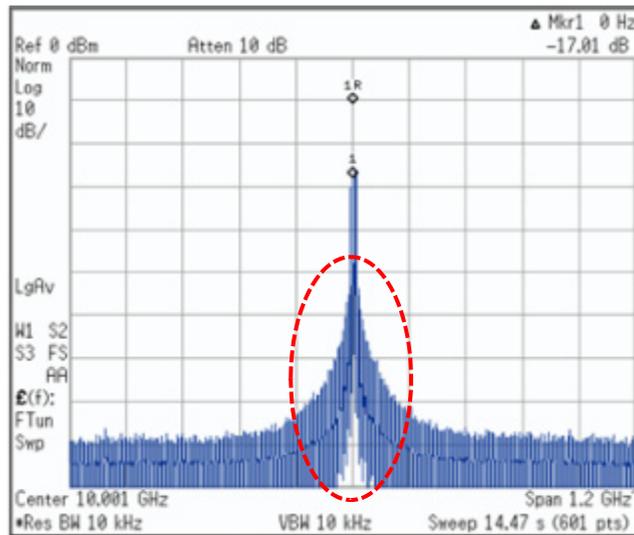


発振周波数  
 $f_o = 2.62 \sim 10.5 \text{ GHz}$

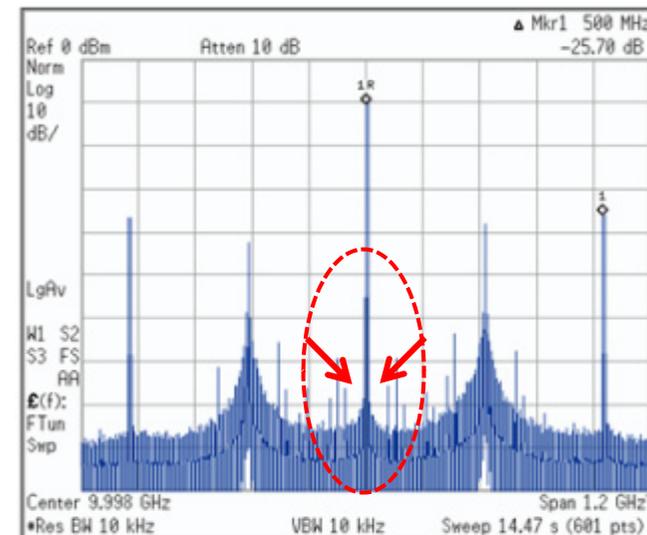
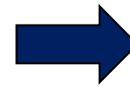
消費電力  
 $P_c = 10.4 \text{ mW}$



(c) 位相雑音特性(10GHz)



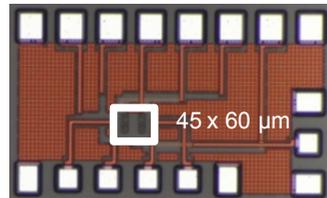
(a) Free running



(b) With injection locking

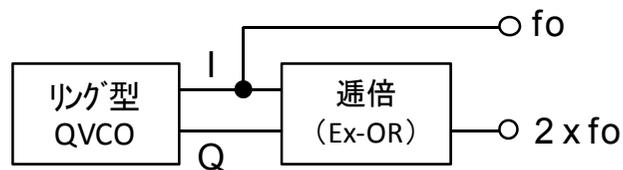
# リングVCOの試作評価結果2

## ➤ 広帯域動作化

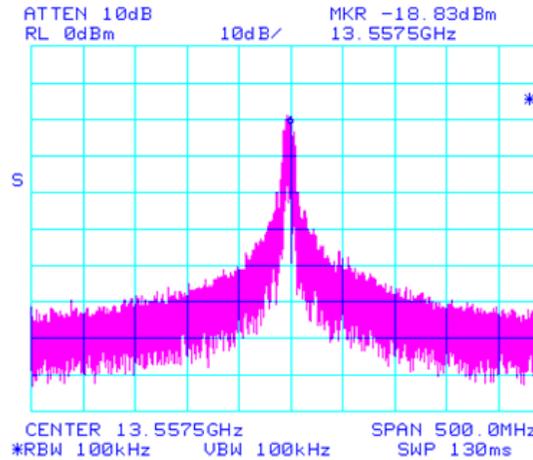


65 nm CMOS  
ring VCO chip

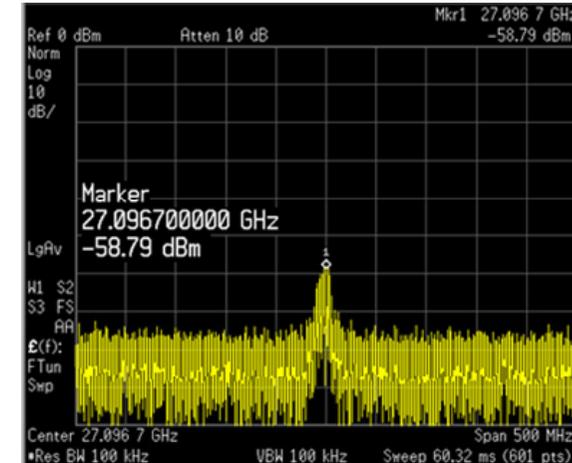
コアサイズ  
45 μm x 60 μm



(a) 通倍リング型VCOの



(b) 発振スペクトラム(13.55 GHz)



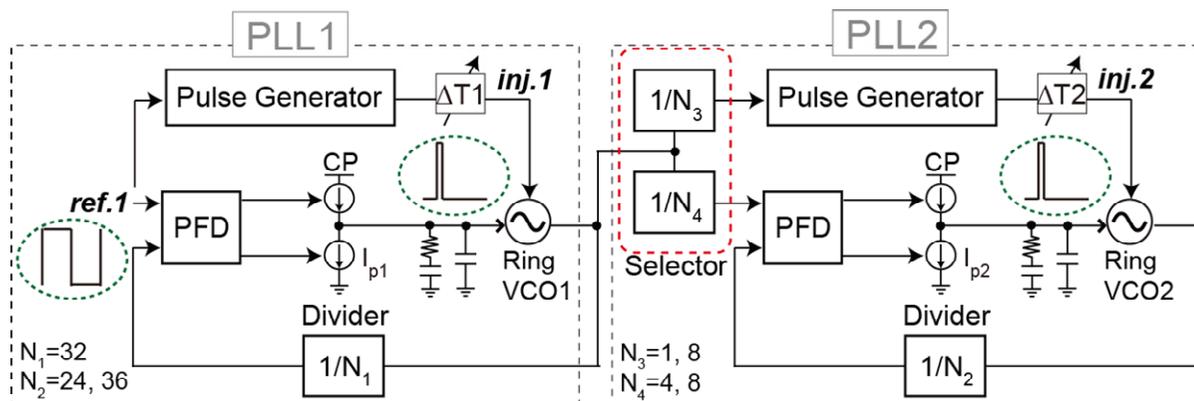
(c) 通倍信号出力(27.1 GHz)

### リング型VCOの試作評価結果

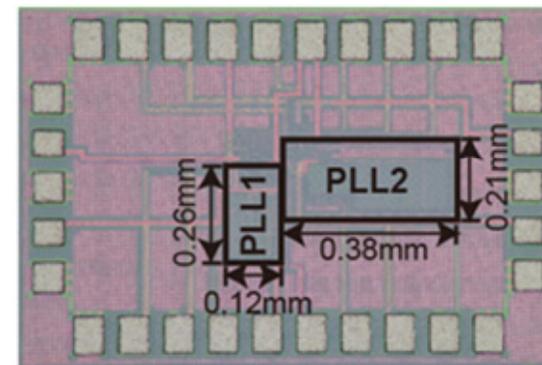
項目	リング型(注入同期)	リング型(通倍)	LC共振型(C級)
発振周波数(GHz)	2.62 ~ 10.5	6.5 ~ 27.1	13.5 ± 250 MHz
位相雑音(dBc/Hz@1MHz)	-119 @ 10 GHz	-90 @ 23 GHz	-110 @ 13.5 GHz
消費電力(mW)	10.4	40.5	2.7
チップコア面積(mm <sup>2</sup> )	0.00054	0.0027	0.2 (リングの70倍以上)
適用プロセス	90 nm CMOS	65 nm CMOS	90 nm CMOS

# リングVCOを用いた位相同期(PLL)回路

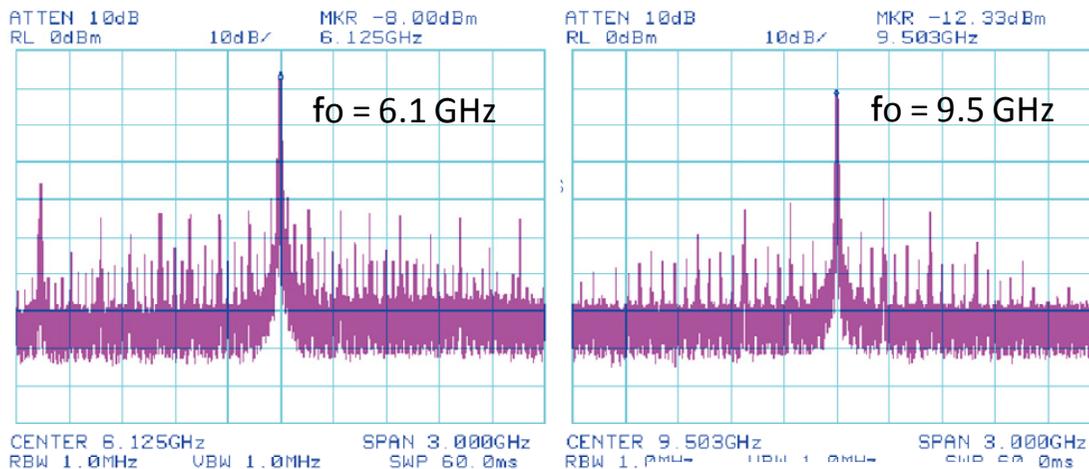
## インJECTIONロック型リングVCOを用いた PLL回路の構成法、設計法を明確化



(a) 2ステージPLL回路の構成

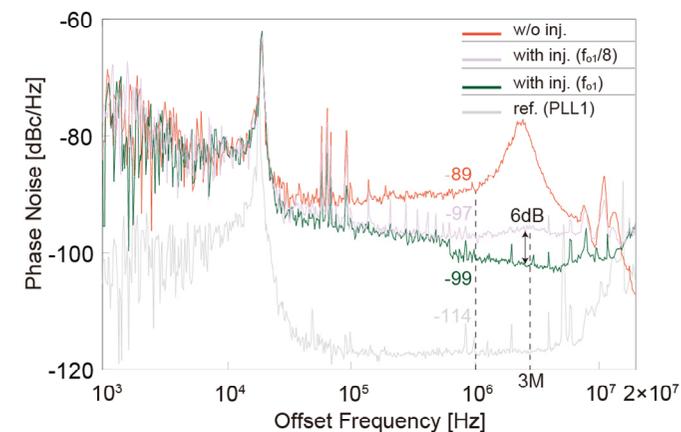


(b) 90nmCMOSによる試作チップ



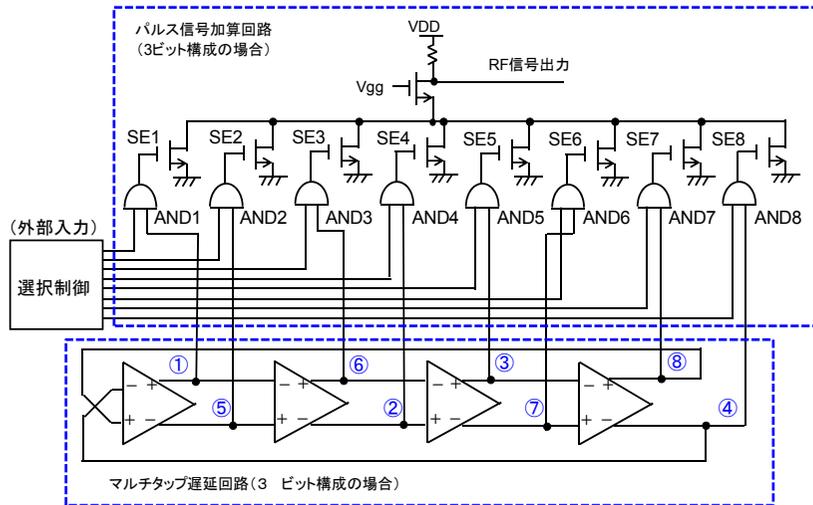
(c) 6.1 GHz 発振時

(d) 9.5 GHz 発振時



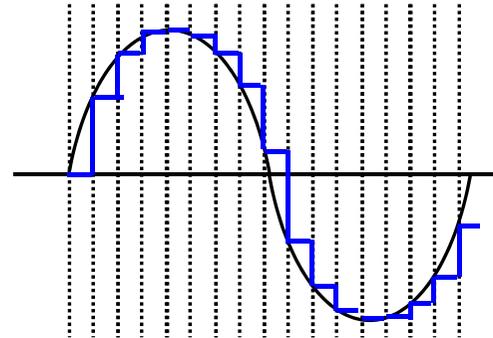
(e) 位相雑音特性 (6.1 GHz)

# デジタルパルスからのRF信号生成回路技術



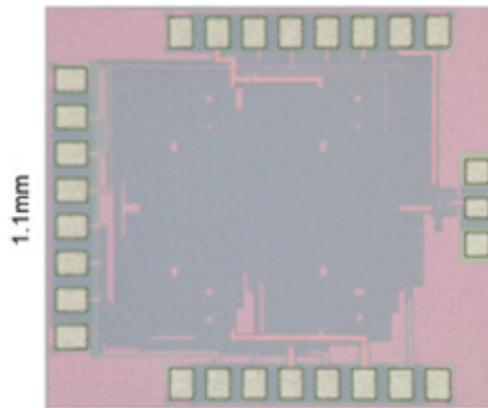
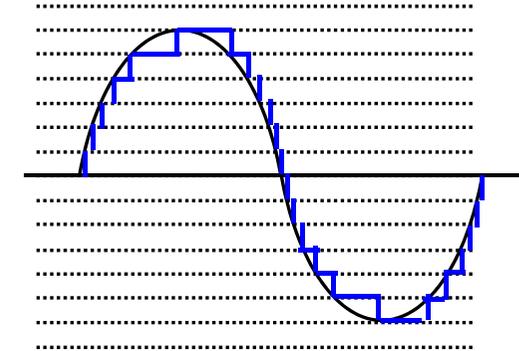
## 電圧軸離散制御

時間刻み一定



## 時間軸離散制御

振幅刻み一定

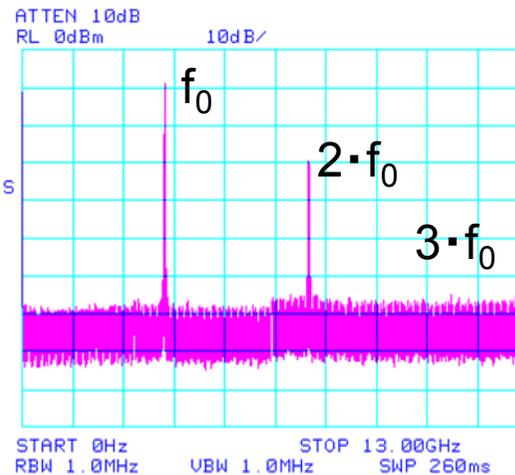


1.1mm

1.2mm

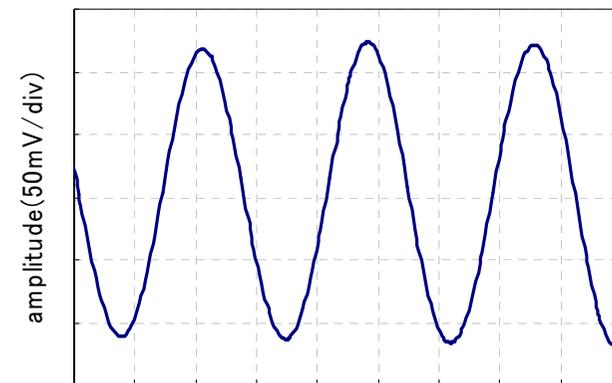
チップ写真

Pout



生成信号のスペクトラム

$f_0=3.7\text{GHz}$  ( $3 \cdot f_0: 53.21\text{dBc}$ )

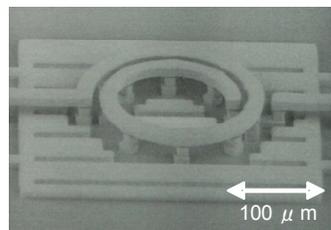


生成信号波形

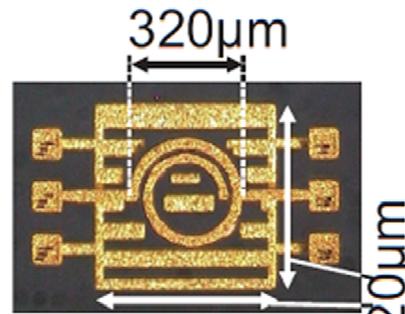
## MEMSインダクタの重要性

パワーアンプやLNAとのアンテナインターフェース部では、インピーダンス変換やチョーク用のインダクタが不可欠で不要化が困難。MEMSインダクタの高周波特性を評価。

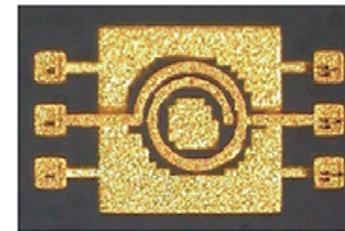
試作したMEMSインダクタ



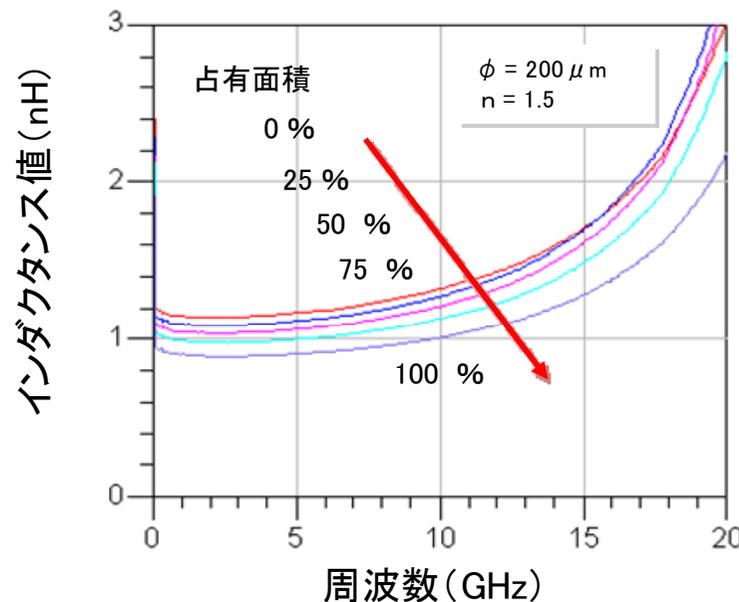
斜景



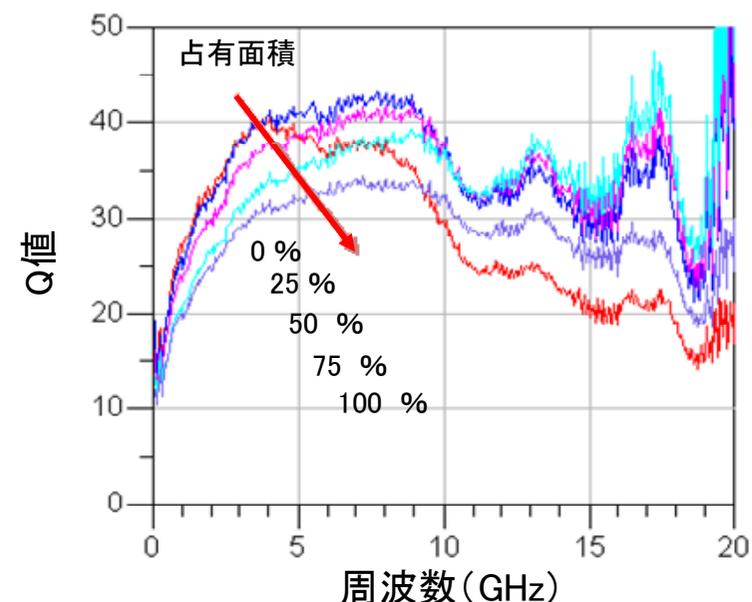
シールド占有面積 50%



シールド占有面積 100%



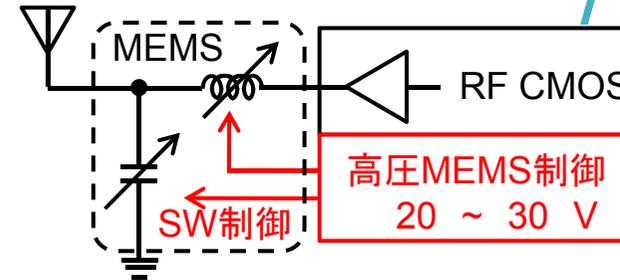
(a) インダクタンス値



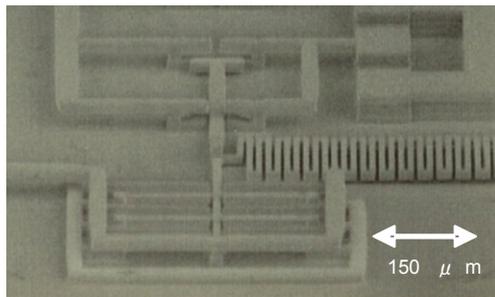
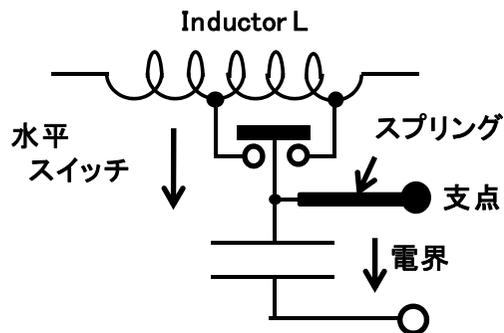
(b) Q値

# MEMSスイッチと制御用CMOS昇圧回路

マルチバンド/広帯域動作化には、インダクタンスや容量値の切り換えが必要。

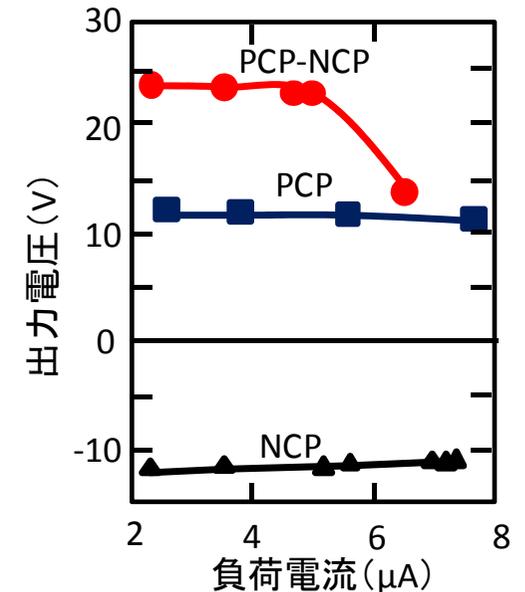
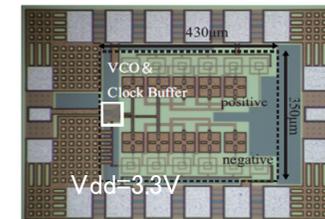
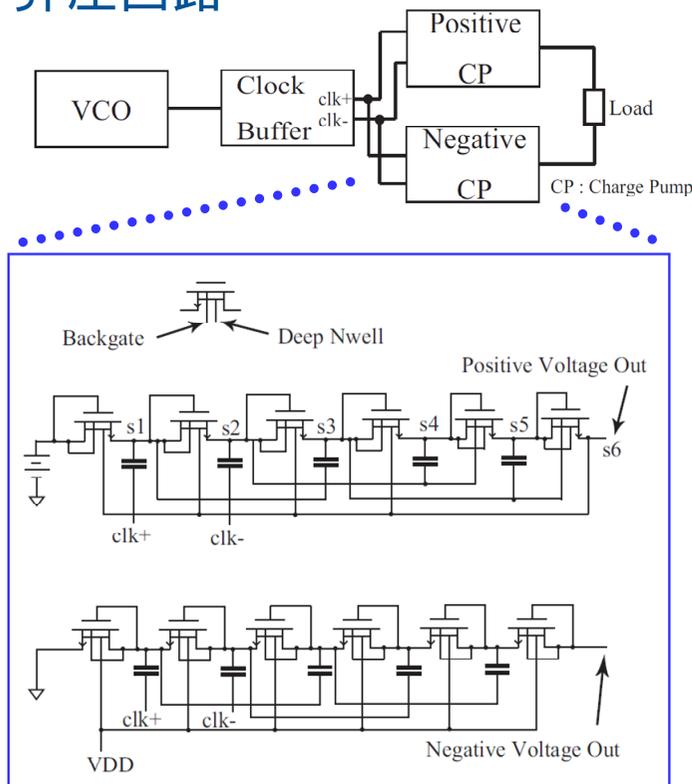


## MEMS水平スイッチ



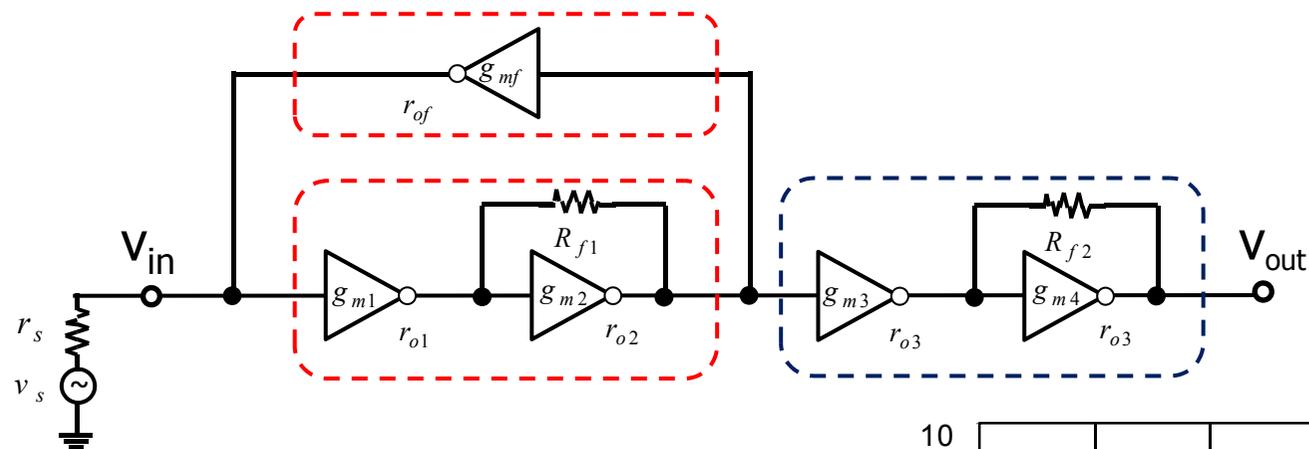
機械動作を確認

## 昇圧回路



# 微細CMOSにおけるチップ間ばらつき

- 40nmCMOSプロセスで試作したLNAについて評価

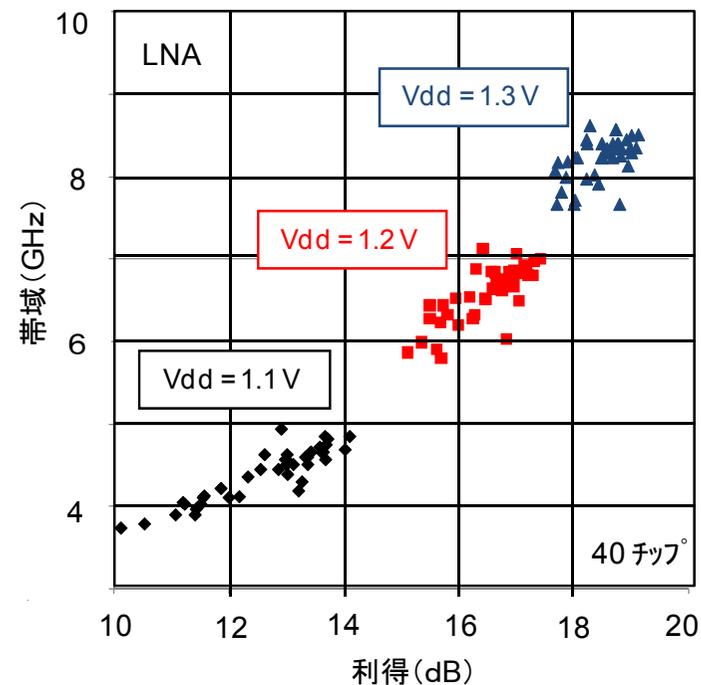


高利得動作時 → ばらつき小



帰還により動作が安定化

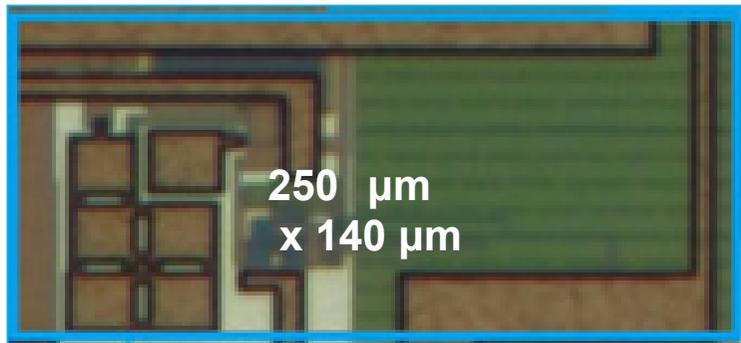
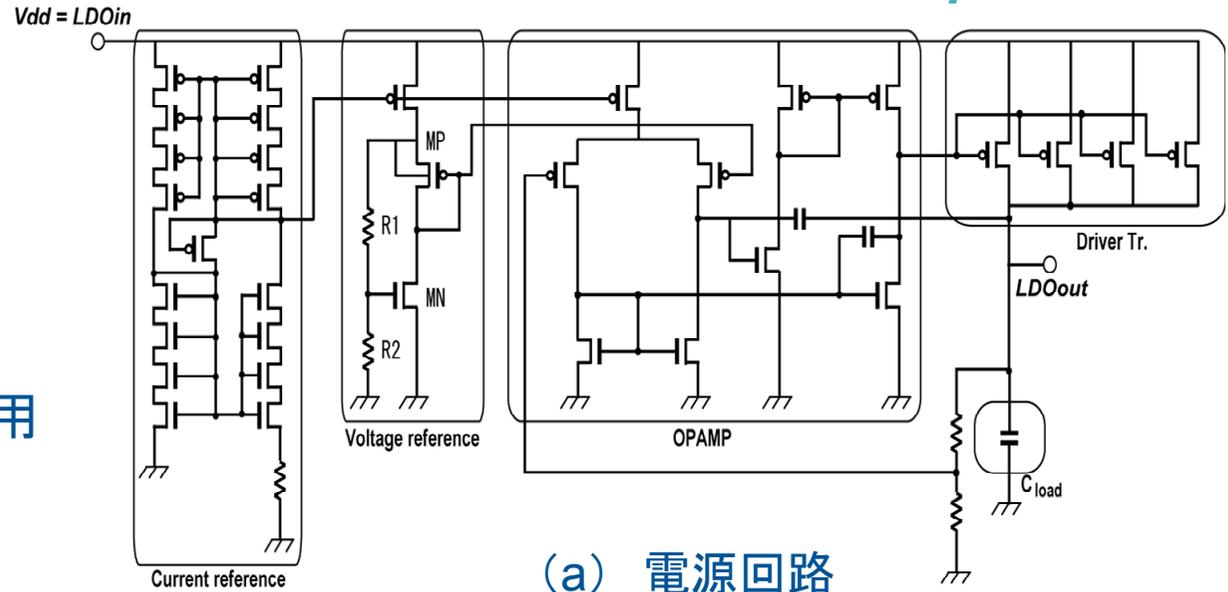
- 帰還回路の適用は有効
- さらなるばらつきの抑圧にはデジタル回路などによる補償が必要



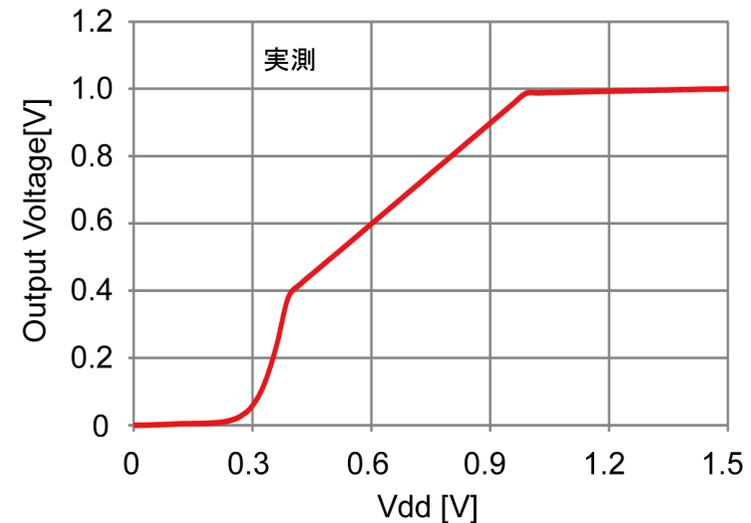
LNAにおける利得と帯域の相関

## 1.0V出力の LDO電源を実現

参照電圧源も内蔵  
⇒NMOS・PMOSの  
閾値電圧差を利用



(b) 試作チップ 0.18  $\mu\text{m}$  CMOS



## 超微細CMOSプロセスを用いた 6~30GHz帯の高マイクロ波帯デジタルRF回路技術の確立

### 微細化による性能向上と低コスト化を可能とするRF回路技術

- ① 高マイクロ波帯インダクタレス回路技術
  - ✓ CMOSインバータベース広帯域低雑音増幅回路(LNA)
  - ✓ インジェクションロックによる広帯域低位相雑音リングVCO回路
  - ✓ リングVCOを用いた位相同期(PLL)回路
- ② MEMSとの融合技術
  - ✓ 中空構造MEMSインダクタ素子
  - ✓ MEMSスイッチ
  - ✓ MEMSアクチュエータ制御用CMOS昇圧回路
- ③ プロセスばらつき・電源・温度変動に対する耐性の確保
  - ✓ LDO電源回路
  - ✓ ナノCMOS回路のばらつき特性、スケーラブル特性を秘匿

END