

# 高速動的光再構成型プロセッサの 研究開発

若手ICT研究者育成型研究開発

渡邊 実

静岡大学

〒432-8561 浜松市中区城北三丁目5番1号

TEL: 053-478-1096, FAX: 053-478-1096,  
tmwatan@ipc.shizuoka.ac.jp

# 発表の流れ

---

1. 背景と目的
2. 高速動的な光再構成型プロセッサアレイ
3. 光再構成システム
4. 10億コンテキスト光再構成システムの可能性
5. MISCプロセッサ実装
6. まとめと今後の課題

# 研究の背景

- 光ファイバー網の過程への浸透
- 家電製品の通信速度が急激に上昇
  - 大量の情報をリアルタイムに処理できる高速なプロセッサの需要がますます増してきている。

## 集積回路プロセスの微細化の問題点

- ばらつきの増大
- リーク電流の増大、消費電力の増大
- 約7cmの信号伝搬に1ns
- プロセッサのクロック周波数の向上が困難(Alpha processor)
  - INTEL: マルチコア化へ
  - 今後もプロセッサコア数は増していくであろう

# マルチコアプロセッサ・アーキテクチャ

## ■ SIMD (Single Instruction Multiple Data):

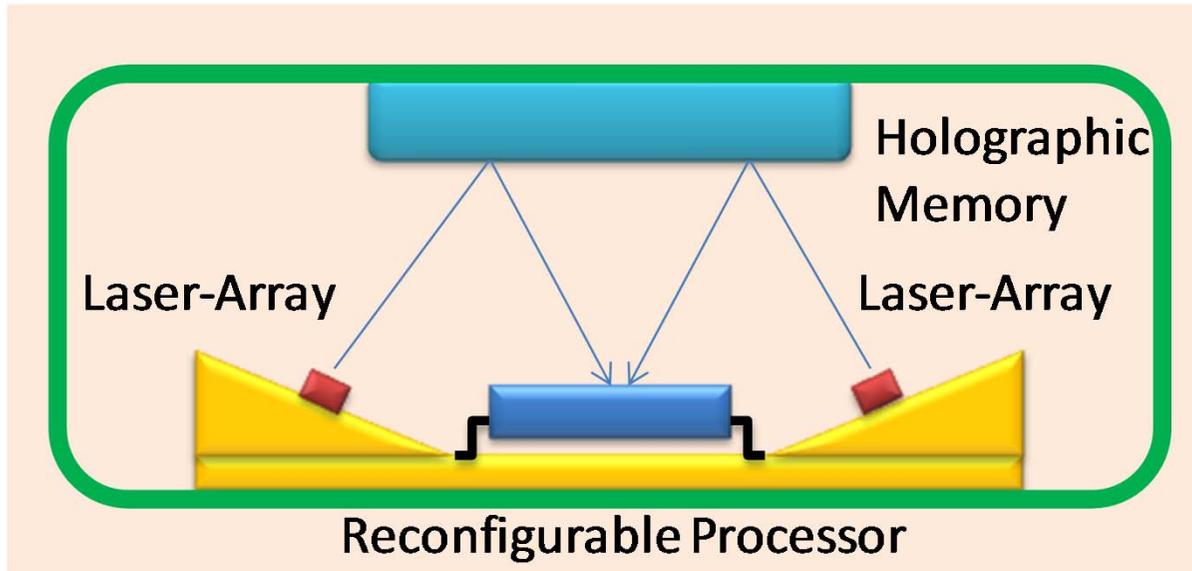
- ・同一の命令を全プロセッサに発行
- ・画像処理に有利
- ・1つのプログラムを分担処理→不得意(多数のコアがストール)

## ■ MIMD (Multiple Instruction Multiple Data):

- ・各プロセッサに個別の命令を発行
- ・プログラムの分担処理が得意
- ・プロセッサ数倍の性能が期待できる
- ・コアが増えると命令の発行が間に合わない  
(1GHz, 32bit, 1000個:4TB/s)

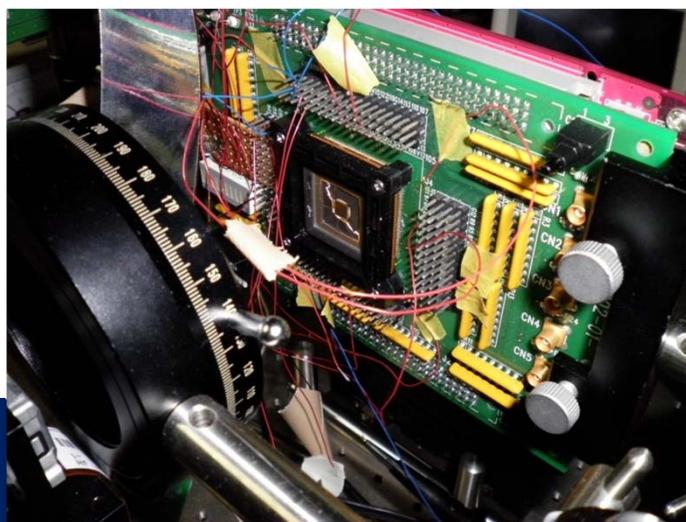
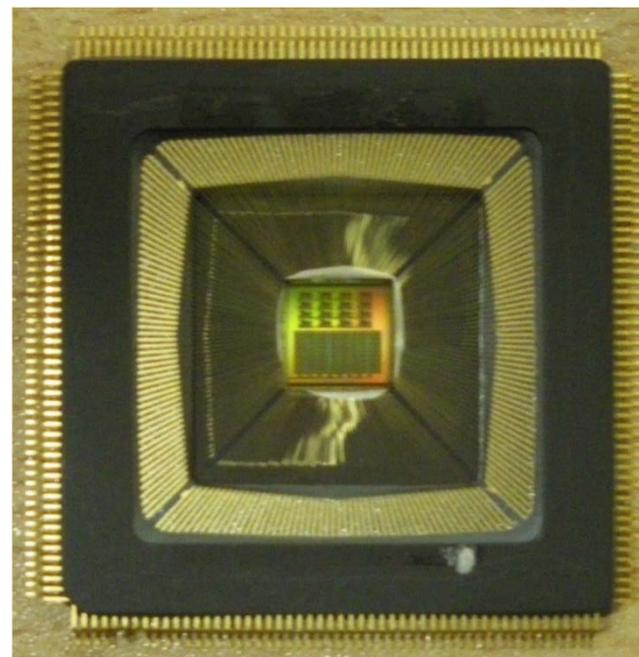
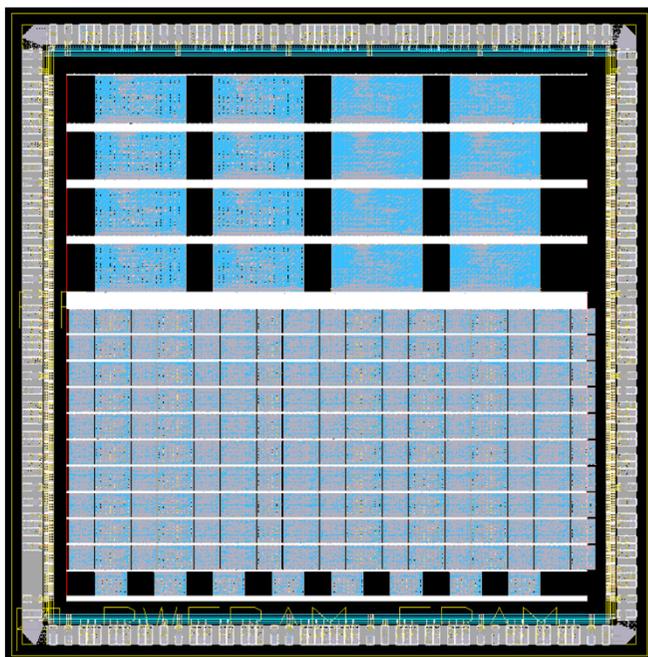
→高性能マルチコアプロセッサを実現するためには、プロセッサ-メモリ間バスのバンド幅の問題を解決した新しいMIMDアーキテクチャが必須である。

# MIMD高速動的光再構成型プロセッサ



加算器、減算器、論理演算器、乗算器等への  
基底となる高速動的光リコンフィギュラブルALU

# MIMD高速動的光再構成型プロセッサVLSIチップ



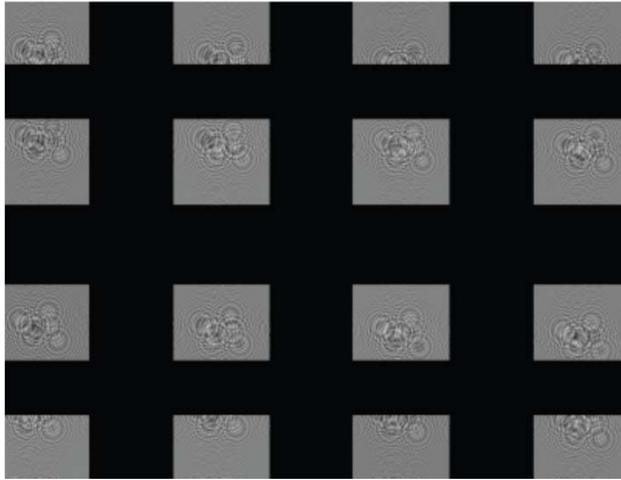
東大のVDEC(VLSI Design and Education Center)を介してローム(株)の0.18 $\mu$ mプロセスを用いて5mm角チップで試作

インストラクションの供給スピード: 104.5Gbit/s

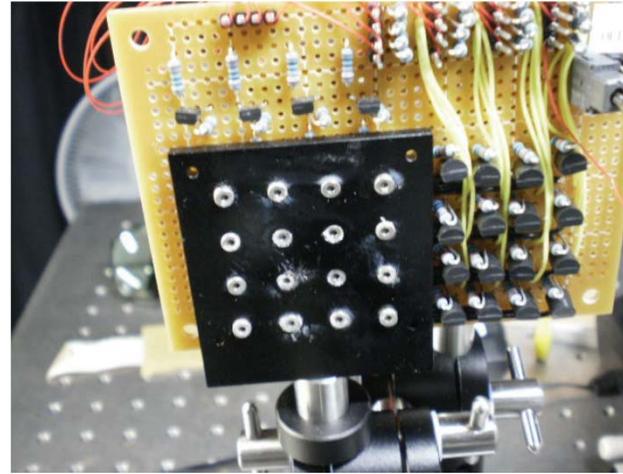
# MIMD高速動的な光再構成型プロセッサVLSIチップ

|          |                             |                                  |  |
|----------|-----------------------------|----------------------------------|--|
| VLSI チップ |                             | プロセス                             | 0.18 $\mu\text{m}$ -5 Metal CMOS process         |
|          |                             | チップサイズ                           | 5mm 角チップ   |
|          |                             | 電源                               | コア : 1.8V、I/O : 3.3V                             |
| 光再構成機能   | フォトダイオードセル                  | 受光部の大きさ                          | 4.40×4.54 $\mu\text{m}^2$                        |
|          |                             | 反応時間                             | < 5 ns   |
|          |                             | 感度 ( $\lambda=632.8\text{ nm}$ ) | $2.12 \times 10^{-14}\text{ J}$                  |
|          |                             | 実装間隔 (PD 間距離 x, y)               | X=30.080 $\mu\text{m}$<br>Y=30.240 $\mu\text{m}$ |
|          |                             | 実装数                              | 2176 個   |
| プロセッサアレイ | アレイ構成                       | (ALU+レジスタ) ×16 個 (4×4 アレイ)       |  |
|          | ALU                         | 動作周波数                            | - 48MHz  |
|          |                             | ALU バス幅、データバス幅                   | 16 bit   |
|          |                             | インストラクションの種類                     | 24   |
|          |                             | インストラクションのステップ数                  | 全てシングルステップ                                       |
|          |                             | インストラクションバス(光再構成)                | 34 bit   |
|          |                             | 内部コンテキスト数                        | 4  |
|          | レジスター数                      | 16bit×16                         |  |
| ALU相互結合  | 近傍の3プロセッサからの入力、近傍の3プロセッサに出力 |                                  |  |

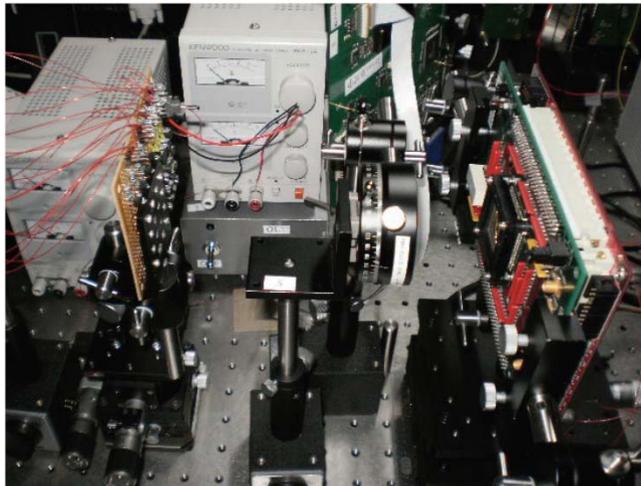
# 16コンテキスト光再構成システム



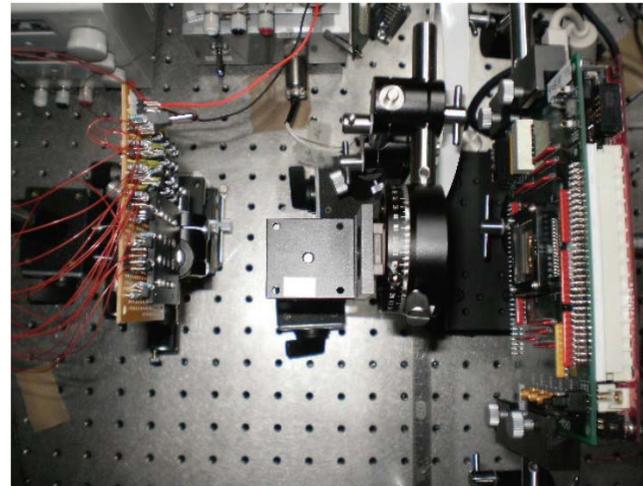
16コンテキストホログラムパターン



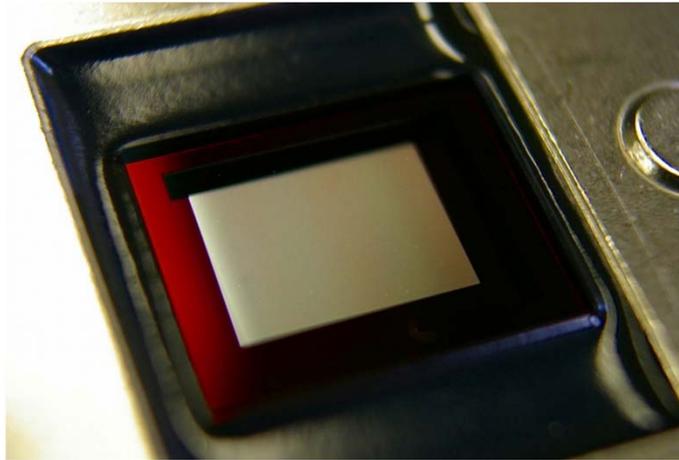
16レーザアレイ



フル光再構成システム

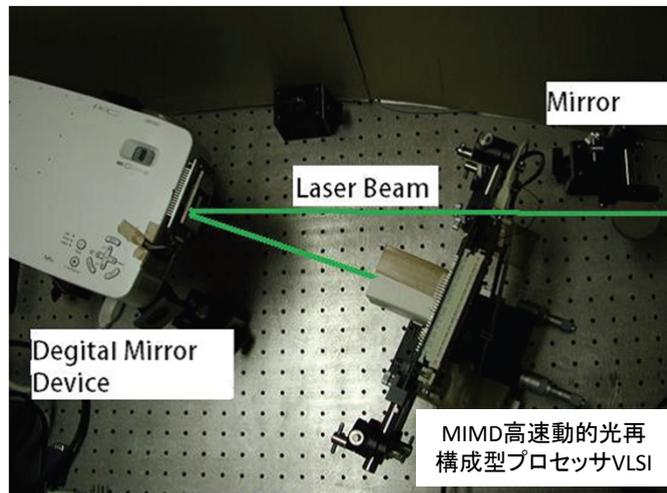


# 256コンテキスト光再構成システム

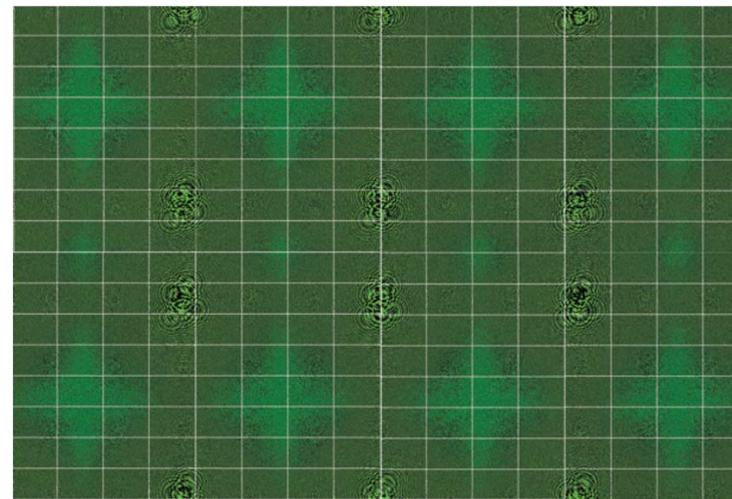


MEMSデバイス

| 仕様           |   |
|--------------|---|
| Manufacturer | Texas Instruments                       |
| Resolution   | 1,024 × 768                             |
| Mirror size  | 10.8 $\mu\text{m}$ × 10.8 $\mu\text{m}$ |
| Package size | 4.06 cm × 3.18 cm                       |

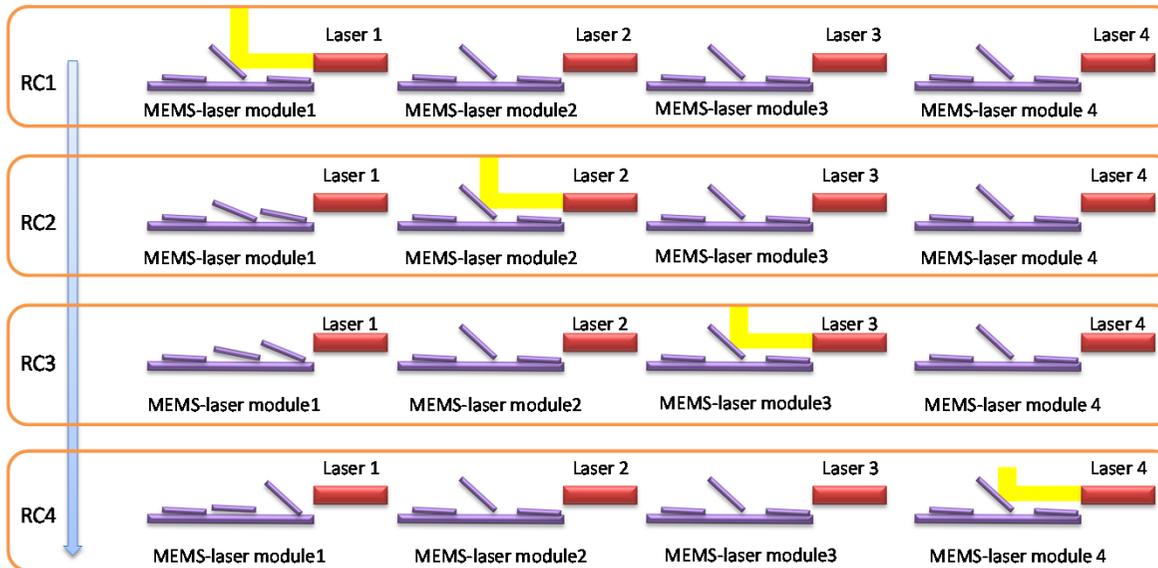
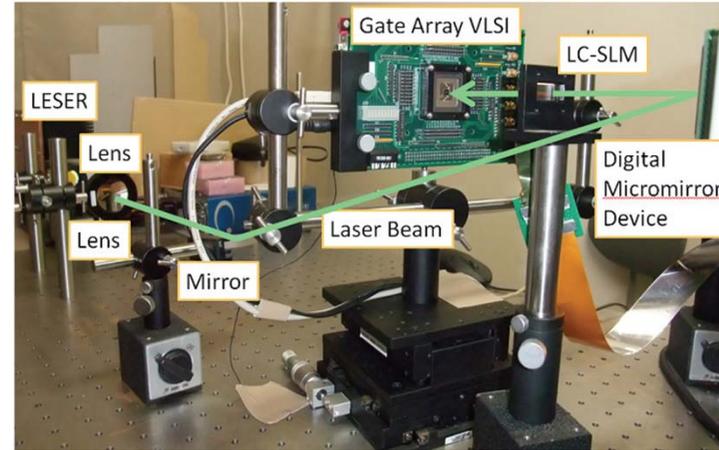
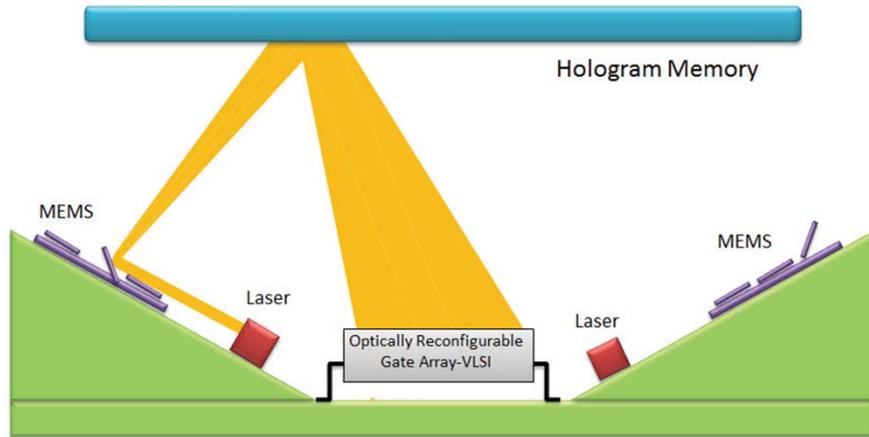


フル光再構成システム



256コンテキストホログラムパターン

# 10億アドレッシング・光再構成システム



## 光再構成システム

2000個のレーザ (5ns)  
 1000万個のMEMS (10us)  
 角度多重: 100  
 5ns周期で10億のアドレッシング

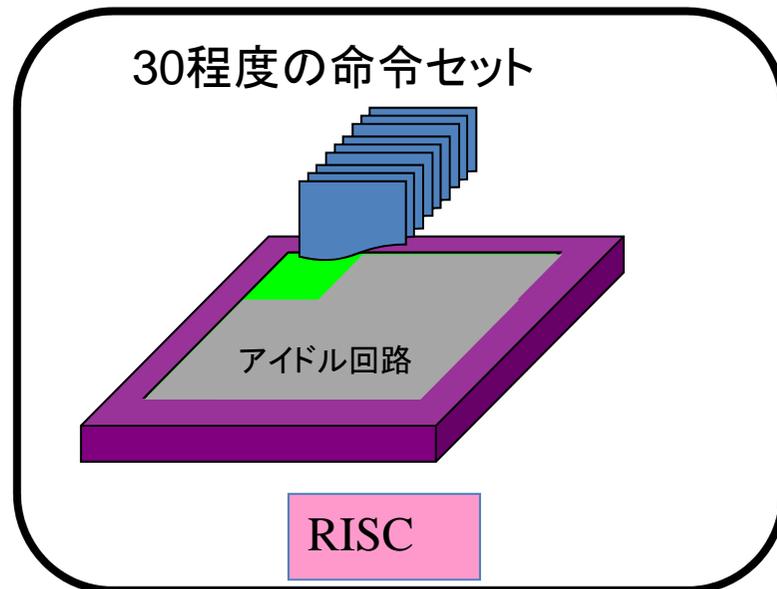
光再構成速度  
 38000PD(5ns)  
 1TB/s

# 発表の流れ

1. 背景と目的
2. 高速動的な光再構成型プロセッサアレイ
3. 光再構成システム
4. 10億コンテキスト光再構成システムの可能性
5. MISCプロセッサ実装
6. まとめと今後の課題

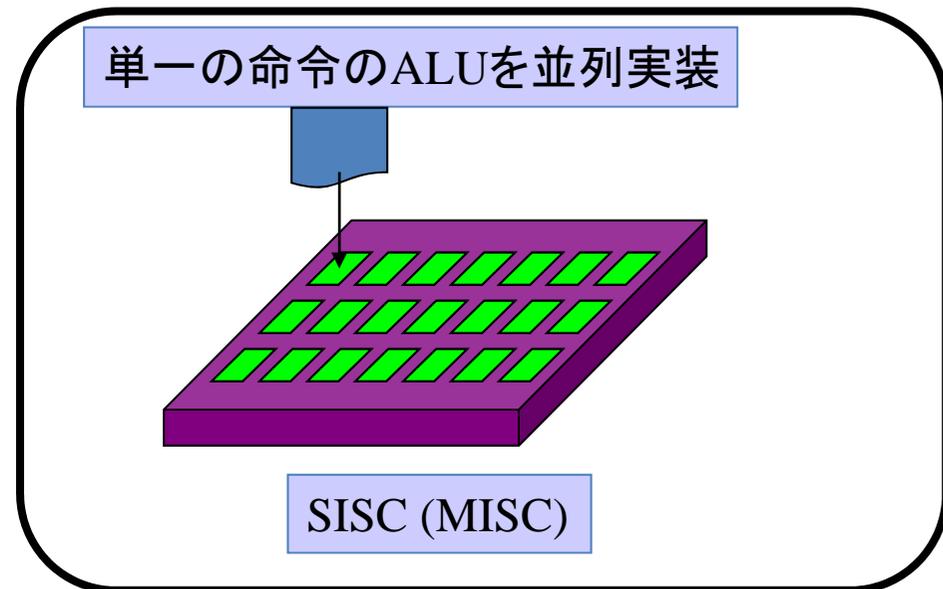
# 動的再構成による高性能化

FPGAに実装するケース



1クロックの間に処理する命令が1つであることを考慮すれば、RISCの30個の命令セットでさえも余剰である。

プロセッサの未来の実装方法



そのクロック間で必要な1つの機能のみ持つALUを実装。空いたエリアには別の機能を並列実装。

動的再構成はVLSIの性能を向上させる

C4-4

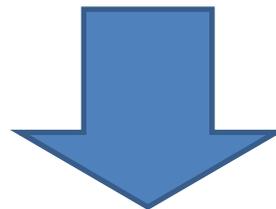
総務省情報通信研究開発成果発表会(SCOPE)

# モノ・インストラクション・コンピュータの構想

高速動的再構成が可能なデバイス → MISCの実現

| 使用するデバイス     | 再構成時間 |
|--------------|-------|
| FPGA         | 数百ミリ秒 |
| 光再構成型ゲートアレイ* | 数ナノ秒  |

MISC実現の環境  
が整いつつある



M. Nakajima, M. Watanabe, "A four-context optically differential reconfigurable gate array," IEEE/OSA Journal of Lightwave Technology, Vol. 27, No 20, pp. 4460-4470, Oct., 2009.

プログラマブルデバイスを用いた  
高性能なプロセッサを実現できる。

# 実装に使用したFPGA

- プログラマブルデバイス : ALTERA社製のDE2-70ボード、  
Cyclone II (EP2C70F896C6) FPGA
- 論理合成・配置配線ツール : 同社製のQuartus II ver9.0



ALTERA社製、DE2-70ボード

## EP2C70F896C6の主な仕様

|             |             |
|-------------|-------------|
| ロジックエレメント数  | 64,416      |
| M4K RAMブロック | 4Kbit × 250 |
| 乗算器         | 9bit × 300  |
| PLL         | 4           |

# 実装・評価結果

| 実装した回路          | ロジックエレメント数 | 動作周波数 [MHz] | 並列実装性 | 性能評価値 (MIC/ALU) |
|-----------------|------------|-------------|-------|-----------------|
| 32bit 加算器 MIC   | 99         | 64.65       | 25.5  | 203.2           |
| 32bit 減算器 MIC   | 99         | 66.05       | 25.5  | 207.6           |
| 32bit 乗算器 MIC   | 527        | 46.93       | 4.8   | 27.7            |
| 32bit 除算器 MIC   | 1145       | 8.19        | 2.2   | 2.2             |
| 32bit AND MIC   | 64         | 420.17      | 39.4  | 2042.4          |
| 32bit OR MIC    | 64         | 420.17      | 39.4  | 2042.4          |
| 32bit EXOR MIC  | 64         | 420.17      | 39.4  | 2042.4          |
| 32bit NOT MIC   | 64         | 420.17      | 39.4  | 2042.4          |
| バレルシフタ(左・0) MIC | 248        | 200.52      | 10.2  | 251.5           |
| バレルシフタ(右・符) MIC | 245        | 216.08      | 10.3  | 274.3           |
| バレルシフタ(右・0) MIC | 246        | 181.69      | 10.3  | 229.8           |
| 従来型のプロセッサ       | 2523       | 8.11        | 1.0   | 1.0             |

# まとめと今後の課題

## まとめ

- MIMD高速動的光再構成型プロセッサを実現
- 256コンテキストまでの光再構成システムを実現
- 10億を超える光再構成システムの可能性を実証
- MISC実装法の確立

## 今後の課題

- 各種アルゴリズムを実装し、優位性を実証すること
- コンパイラ技術、開発環境の整備

# 論文発表・受賞

---

ジャーナル論文誌： 14件  
査読付き国際会議論文： 78件  
国内学会発表： 80件  
受賞：ベストペーパー(IEEE) 2件  
          ベストポスター(IEEE) 1件  
指導学生の受賞：28件