

## 高速動的光再構成型プロセッサの研究開発（082106005）

Research of a high-speed dynamically optically reconfigurable processor

### 研究代表者

渡邊 実 国立大学法人 静岡大学  
Minoru Watanabe, Shizuoka University

研究期間 平成 20 年度～平成 22 年度

### 概要

ホログラムメモリと MIMD (Multiple Instruction/ Multiple Data) タイプの 16 アレイ・高速動的光再構成型プロセッサ VLSI とを組み合わせ、ホログラムメモリ内に蓄えられた 256 個のアーキテクチャ情報を高速に読み出し、プロセッサアレイのアーキテクチャを瞬時にかつ動的に時々刻々と変えつつ、最も適したアーキテクチャ上で処理を進める新しいタイプの MIMD 高速動的光再構成型プロセッサを世界で初めて開発した。

### Abstract

This research has developed a novel multiple instruction / multiple data (MIMD) high-speed dynamically optically reconfigurable processor which consists of a multiple instruction / multiple data (MIMD) high-speed dynamically optically reconfigurable processor VLSI with 16 processing elements, a holographic memory including 256 configuration contexts, and a laser array.

### 1. まえがき

近年、光ファイバー網の浸透によりパソコン、家電製品の通信速度が急激に上昇しつつあり、それら大量の情報をリアルタイムに処理できる高速なプロセッサの需要がますます増してきている。しかし、近年では集積回路のプロセスは微細化が進み、それによるばらつきの問題、消費電力増の問題が顕在化し、プロセッサのクロック周波数の向上が難しくなってきた。そこで、INTEL 等の主要なプロセッサメーカーはプロセッサの高周波数化による性能向上をあきらめ、1 チップ内に複数のプロセッサコアを実装するマルチコア化による性能向上を目指すようになってきた。今後もこの開発方針は踏襲されていき、単一チップに実装されるプロセッサコア数はますます増していくものと予測される。

このようなマルチコアプロセッサの代表的なアーキテクチャには SIMD (Single Instruction Multiple Data) と MIMD (Multiple Instruction Multiple Data) がある。MIMD アーキテクチャは個々のプロセッサに対して個別に命令を与えるアーキテクチャで、多数のプロセッサコアを効果的に活用し、全プロセッサを常時使用した高速並列処理が実現できる。しかし、プロセッサ数が増えれば、プロセッサ-メモリ間バスのバンド幅の不足により、命令の発行が間に合わなくなる。よって、プロセッサのコア数が多い場合には適用が難しい。一方で、SIMD アーキテクチャでは全プロセッサに同じ命令を発行することで、メモリとプロセッサ間バスのバンド幅不足を改善した。画像処理のように画素毎に同じ処理が必要になる応用等に対しては非常に高い性能が発揮できる。しかし、ある 1 つの処理を各プロセッサコアに分担させ、その処理を高速化するような場合は、全プロセッサで同じ命令を使用する機会が少なく、多数のプロセッサが休止状態となり、処理性能が上がらない。よって、これまでのマルチコアプロセッサではプロセッサコア数倍の性能向上は期待しにくかった。プロセッサコア数倍の性能向上が期待できる高性能マルチコアプロセッサを実現するためには、プロセッサ-メモリ間バスのバンド幅の問題を解決した新しい MIMD アーキテクチャが必須である。

以上の背景から、本研究ではホログラムメモリと MIMD 構造の再構成可能マイクロプロセッサアレイとを組み合わせた MIMD 高速動的光再構成型プロセッサを開発した。これは、ホログラムメモリ内に多数のアーキテクチャ情報を蓄えておき、光再構成により MIMD 構造のプロセッサアレイのアーキテクチャを瞬時にかつ動的に時々刻々と変えながら、最も適したアーキテクチャ上で超並列処理を進める新しいタイプの高速動的光再構成型プロセッサである。

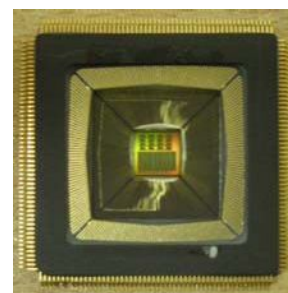
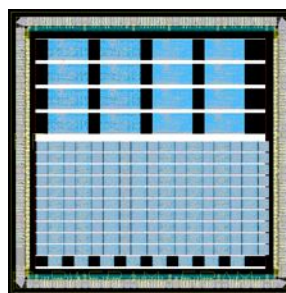
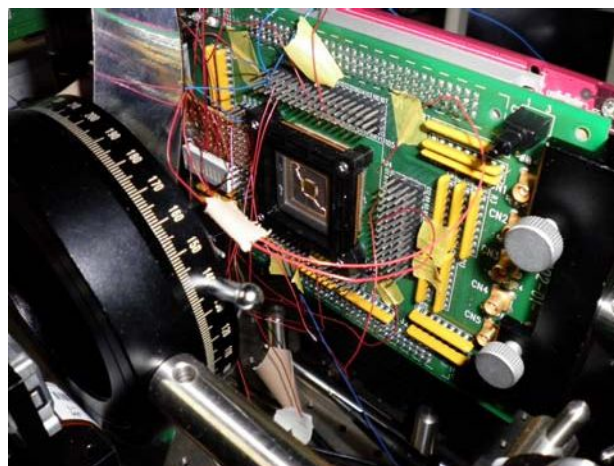


図 1 : MIMD 高速動的光再構成型プロセッサ VLSI チップの CAD レイアウト、チップ写真、評価ボード写真

## 2. 研究内容及び成果

### ■VLSI チップの開発

本研究では 16 個のプロセッシングエレメントを持つ MIMD 高速動的光再構成型プロセッサ VLSI チップを開発した。ローム (株) の  $0.18\mu\text{m}$  CMOS プロセスを用い、チップサイズは  $5\text{mm}$  角である。各プロセッサは 16bit バス幅であり、24 個の命令セット、16 個の汎用レジスタを持つ。これら命令は全て 48MHz のクロックにおいてシングルステップで実行できる。また、チップには 2176 個のフォトダイオードが実装されており、インストラクションは後述の光学系により光学的に供給される。このインストラクション用フォトダイオードの受光部は  $4.40 \times 4.54\mu\text{m}^2$  であり、応答時間は 5ns 以下である。つまり、5ns 以下でアーキテクチャの高速動的再構成が可能である。

### ■光再構成部の試作

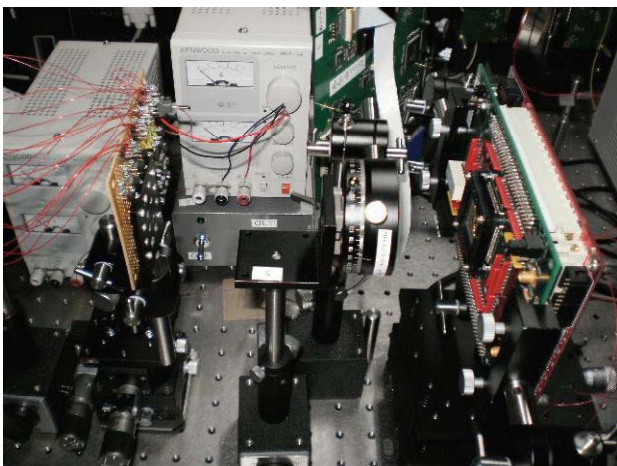


図 2 : 16 コンテキスト光再構成フルシステム

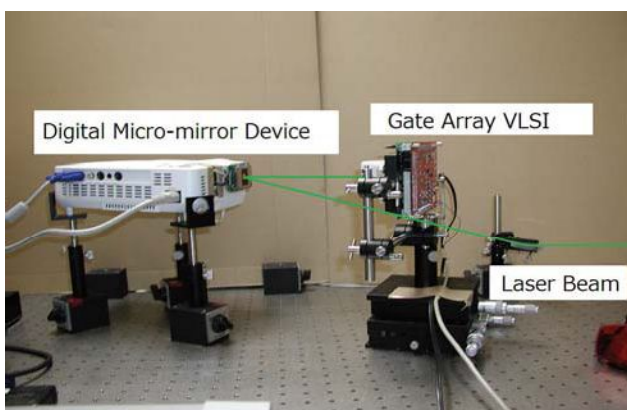


図 3 : 256 コンテキスト光再構成システム (部分実証)

この研究では MIMD 高速動的光再構成型プロセッサ VLSI 向けに 16 コンテキスト光再構成フルシステムを試作した。光再構成のシステムはシンプルな 3 層構造、レーザアレイ、ホログラムメモリ、MIMD 高速動的光再構成型プロセッサ VLSI チップ (光再構成デバイス) で構成できる。このシステムではレーザ光源として 16 個の波長 785 nm、光強度 80 mW の半導体レーザ、プログラマブル・ホログラムメモリとして 1 つの空間光変調素子を使用した。空間光変調素子の領域は 16 個に区分され、それぞれの領域に 1 つのホログラムパターンが記憶され、1 つのレーザによってアドレスリングされる。点灯させるレーザを切り替えるだけで、16 個のアーキテクチャをナノ秒台で MIMD 高速動的光再構

成型プロセッサに実装することができる。加えて、図 3 に示すように、256 コンテキストの光再構成システムについても部分的に実証し、アーキテクチャ数を 256 コンテキストにまで容易に拡張できることを確認した。

### 3. むすび

256 個のアーキテクチャを持ちそれらを高速に動的に切り換えながら処理を進める MIMD 高速動的光再構成型プロセッサを開発した。この MIMD 高速動的光再構成型プロセッサでは、チップ内の 16 個の各プロセッシングエレメントに対し、独立に光学的にインストラクションを供給できる。また、従来の MIMD プロセッサのような実装できるプロセッシングエレメント数に制限は無い。このアーキテクチャでは、プロセッシングエレメントの数を数百個～数千個に増やしても独立にインストラクションの供給が可能である。加えて、我々は 10 億ページ分にも達する MEMS を使用したホログラムメモリの高速アドレッシング技術の開発に成功しており、今後、256 個のアーキテクチャ数は 10 億にも拡張できる。これまでの並列計算における問題点を解決できる新しいアーキテクチャとなりうる。

### 謝辞

本研究に使用したチップは東京大学大規模集積システム設計教育研究センターを通し、ローム (株) および凸版印刷 (株) の協力で試作されたものである。

### 【誌上発表リスト】

- [1] T. Mabuchi, M. Watanabe, "A superimposing acceleration and optimization method of optical reconfiguration speed without any increase of laser power," *Applied Optics*, Vol. 49, No. 22, pp. 4120–4126, Aug., 2010.
- [2] M. Nakajima, M. Watanabe, "Optical buffering technique under space radiation environment," *Optics Letters*, Vol. 34, Issue 23, pp. 3719–3721, Dec., 2009.
- [3] M. Nakajima, M. Watanabe, "A four-context optically differential reconfigurable gate array," *IEEE/OSA Journal of Lightwave Technology*, Vol. 27, No 20, pp. 4460–4470, Oct., 2009.

### 【申請特許リスト】

- [1] 渡邊, 「光再構成型ゲートアレイの再構成制御装置及びホログラムメモリの情報読出装置」, 出願人 国立大学法人 静岡大学, 特願 2009-074994, 2009 年 3 月 25 日,

### 【受賞リスト】

- [1] D. Seto, M. Watanabe, Best Paper Award, "Recovery method for a turn-off failure mode of a laser array on an ORGA," *NASA/ESA Conference on Adaptive Hardware and Systems*, June, 2010.
- [2] D. Seto, M. Watanabe, MHS 20th Anniversary Research Competition: Best Poster, "Fault tolerance analysis of MEMS holographic memory for DORGAs," *IEEE International Symposium on Micro - Nano Mechatronics and Human Science*, Nov., 2009.
- [3] D. Seto, S. Kubota, M. Watanabe, Best System Integration Award, "Optically Reconfigurable Gate Array," *IEEE/SICE International Symposium on System Integration*, M. Watanabe, Dec., 2008.

### 【本研究開発課題を掲載したホームページ】

<http://www.ipc.shizuoka.ac.jp/~tmwatan/>