

超高速光伝送システム技術の研究開発
(イーサネット向け超高速省電力光伝送技術)
R&D on High-speed Optical Transport System Technologies.
(High-Speed Low-power-consumption
Optical Transport Technology for Ethernet.)

研究代表者 丹場展雄 株式会社日立製作所

研究期間 平成 21 年度

【Abstract】

High-speed low-power-consumption optical transport technology for Ethernet has been developed in this project to realize broadband network society with smaller carbon footprint.

For parallel 100 gigabit LAN, we developed parallel transmission control method reducing the power consumption to as much as 25%. 28Gbps electrical interface with achieving the transmission efficiency of 12.5mW/Gbps/ch has also been developed. And we developed 25Gbps monolithic integrated optical subsystem and packaging technology reducing the power consumption to 40%.

For serial 100 gigabit / parallel 400 gigabit LAN, We developed serial transmission control method reducing the power consumption to about 25%. And 16 or 8 value modulation and demodulation method has been developed for serial 100Gbps optical transmission. We also developed 15G-sample-per-second ADC circuit and an element circuit of 20G-sample-per-second DAC, for 4-interleaved 60G-sample-per-second ADC or DAC.

For 100Gbps optical interface, we developed 100Gbps receiver of 1.3cc with 25Gbps 4-channel photo-diode reducing the power consumption of 0.7W. We also developed 25Gbps 4-wavelength laser-diode reducing the power consumption per channel to 0.06W for 100Gbps transmitter.

These results show that the basic technology for High-speed low-power-consumption optical transport for Ethernet has been well confirmed.

1 研究体制

- **研究代表者** 丹場 展雄 (株式会社 日立製作所 マイクロデバイス事業部)
- **研究分担者** 西村 信治† (株式会社 日立製作所 中央研究所†)
一番ヶ瀬 広†† (三菱電機株式会社 情報総合技術研究所††)
(2009年9月30日まで)
水落 隆司†† (三菱電機株式会社 情報総合技術研究所††)
(2009年10月1日より)
日比野 善典††† (日本電信電話株式会社 先端技術総合研究所
フォトニクス研究所†††)
- **研究期間** 平成 21 年度

○ **研究予算** 総額 1,190 百万円

(内訳)

| |
|-----------|
| 平成 21 年度 |
| 1,190 百万円 |

2 研究課題の目的および意義

ブロードバンド環境の普及に呼応して、ネットワークを流通するデータ通信トラフィックは指数関数的に増加しており、今後もさらに増加が続くことが予想される。このため、LAN 及び光アクセスネットワークからメトロ・基幹光ネットワークに至る全てのネットワーク要素について更なる大容量化が求められている。また、地球温暖化対策や低炭素社会への移行の観点から、ネットワークの省電力化が求められている。これらの要求に対応すべく、本研究では、高速・高品質な信号伝送を実現するための光通信技術および、ネットワークの省電力化を可能とする技術の開発を行うことを目的とする。

具体的には、イーサネットの送受信を司る光伝送サブシステムにおいて、伝送速度の向上により信号本数を削減 (10Gbps→28Gbps、10 チャンネル→4 チャンネル) することで省電力化を実現する、パラレル 100Gb-LAN 向け高速省電力伝送方式を開発する。また合わせて、その光インターフェース側の伝送速度の向上により信号本数を削減 (25Gbps→100Gbps、4 チャンネル→1 チャンネル) することで省電力化を実現する、シリアル 100Gb-及びパラレル 400Gb-LAN 向け高速省電力伝送方式と、100Gbps 光通信普及の基礎となる LAN 向け光インターフェースに関する技術を確立する。

3 研究成果

情報化社会を支えるブロードバンド環境の普及拡大と、低炭素社会移行の両立に寄与する、イーサネット向け超高速省電力光伝送技術を開発し、最終目標を 100%達成することができた。今後本技術を実用化することにより、100Gbps イーサネットの遍く普及が加速されるとともに、それに伴う消費電力量の増大も抑えることができるため、情報化社会のさらなる発展と地球温暖化抑制との両立に効果的に寄与することが期待できる。

なお、本研究の推進に当たり、研究分担各社間での企画調整会議を開催し、テーマ間での研究進捗の確認やインターフェースの調整等を行い、研究効率の向上を図った。また、2009 年 11 月には、外部の学識経験者、有識者によるアドバイザー委員会を開催し、研究開発全体の方針について幅広い観点からのご助言と、実際の研究開発の進め方についてご指導を頂き、その後の本研究実施に反映した。

3. 1 パラレル 100Gb-LAN 向け高速省電力信号伝送技術

(1) 高速省電力パラレル伝送制御方式

28Gbps×4 チャンネルの信号伝送において、立案した物理層省電力制御方式のモデルを作成し、それによる方式検証をすると共に、電力消費量低減の定量化と、従来の適応的電力削減を行わない方式に比べ 1/4 以下の消費電力を達成するための課題の検証を実施する。

①25/28Gbps×4 チャンネル信号伝送向け物理層省電力制御方式のモデル化

上記目標①に対し、パラレル形態の第二世代 100Gb イーサネット LAN 向け光伝送サブシステムの

実現に向けて、電気伝送損失量に適応して省電力化を行う電気伝送損失適応省電力制御技術、および送信データのデータ流量に適応して省電力化を行う伝送データ流量適応省電力制御技術を搭載した高速省電力パラレル伝送制御方式の研究開発を行った。

上記開発に向けて、提案方式の仕様の具体化を行い、MAC/PCS の各機能ブロックに関して基本方式仕様を検討し、提案方式を Verilog-HDL にて RTL 論理記述を実施し、立案した方式のモデル化を行った。

②上記モデルによる方式検証の実施と電力消費量低減の定量化

上記目標②に対し、①で行った RTL 論理記述を FPGA で動作可能な形態に移植（マッピング）し、製造・購入した 100Gb イーサネット論理評価用 FPGA ボードに搭載し、方式検証機による MAC/PCS の各機能ブロックの基本性能検証を行なった。

実機による検証結果より、伝送損失を計測し、BER が 10^{-12} を満たす最少の DFE と FFE のタップ数を選択する動作を確認した。また、ベースの消費電力 21.1W を除いたサブシステム全体の消費電力 48.4W を、提案手法によるタップ数の切替動作により、タップ数が 4 の時には 47.1W（省電力効果：0.7%）、タップ数 3 の時には 47.8W（省電力効果：1.3%）、タップ数が 2 の時には 47.4W（省電力効果：2.0%）、タップ数が 1 の時には 47.1W（省電力効果：2.6%）まで削減できる見通しを得た。

また、提案方式による送信データ流量（テストパターン）に応じたレーン数切替制御の動作を確認し、省電力制御方式の実現できる見通しを得た。定量的には、送信データ流量が 67%以下でレーン数は 4 レーン、43%以下で 3 レーン、37%以下で 2 レーン、12%以下で 1 レーンとなる。電力消費量低減効果としては、上述したタップ数切替制御と併用することにより、サブシステム全体の消費電力 47.8W を、送信データ流量に応じたレーン数の切替制御により、3 レーンの時には 35.9W（省電力効果：24.9%）、2 レーンの時には 24.0W（省電力効果：49.8%）、1 レーンの時には 12.1W（省電力効果：74.7%）まで削減できる見通しを得た。

③従来方式の 1/4 以下の消費電力 を達成するための課題の明確化

上記①②の検証結果より、目標を達成するための課題の明確化を行った。課題としては大きく分けて、送信データ流量測定方法、使用レーン数制御方法、送受信間ネゴシエーションの 3 つに分類される。送信データの流量変化には短期間で変化するものと、時間をかけて変化するものがある。これら両方の変化を計測し、省電力効果が得られる最適な計測方法と制御方法の検討が必要であることが分かった。

また、使用レーン数制御方法に関連して、レーン数の切替時間の短縮が大きな課題になることが分かった。切替制御マーカーの周期でレーン数の切替を行っているので、マーカー周期を短くすれば切替時間は早くなるが、送信データフレームあたりに挿入されるマーカーの数が増えることになるので、伝送効率の低下に繋がる。また、送受信間でネゴシエーションを行う際に、レーン数切り替え時の送信データ流量の差分を吸収するバッファが必要であり、送受信間だけでなく上位層とのネゴシエーションが必要であることが分かった。さらに②で述べたように、提案方式の実現には、光モジュールや SerDes 回路などの周辺回路がレーン数の切り替えによる起動/停止制御に対応している必要があり、周辺回路まで含めた検討を行う必要があることが分かった。

提案手法である伝送損失測定方式と波形等化タップ最適化方式を実現した場合の消費電力を表 1 に、レーン数切替制御方式による消費電力削減効果を表 1 に示す。本課題での達成目標は 2 つの方式を併用

した場合に、従来方式に比べて消費電力を 1/4 以下（低減効果 75%以上）にすることであり、シミュレーションによる見積もりから目標達成の見込みを得た。以下に本提案手法の低減効果を示す。

表 1 提案手法による消費電力の低減効果

| タップ数 | PCS層の消費電力[W] | SerDes回路の消費電力[W] | TOSA/ROSAの消費電力[W] | サブシステム全体の消費電力[W] | 開発手法の低減効果[%] |
|------|--------------|------------------|-------------------|------------------|--------------|
| 1 | 35.0 | 0.2 | 12.0 | 47.1 | 2.6 |
| 2 | 35.1 | 0.3 | 12.0 | 47.4 | 2.0 |
| 3 | 35.3 | 0.5 | 12.0 | 47.8 | 1.3 |
| 4 | 35.4 | 0.6 | 12.0 | 48.1 | 0.7 |
| 5 | 35.6 | 0.8 | 12.0 | 48.4 | - |

表 1 は、今回 FPGA に実装した PCS 部の IO を、提案手法で制御する FFE と DFE に置き換えた場合を想定して消費電力を導出している。提案手法によるタップ数と係数の切替動作は理想的な動作とし、動作していない状態のベースの消費電力は除いた。また、本提案方式では SerDes 回路や TOSA/ROSA 回路の制御は行わない。ベースの消費電力を除いたサブシステム全体の消費電力 48.4W を、提案手法によるタップ数の切替動作により、タップ数が 4 の時には 48.1W（省電力効果：0.7%）、タップ数 3 の時には 47.8W（省電力効果：1.3%）、タップ数が 2 の時には 47.4W（省電力効果：2.0%）、タップ数が 1 の時には 47.1W（省電力効果：2.6%）まで削減できる見通しを得た。

表 2 開発手法による消費電力低減効果

| レーン数 | PCS層の消費電力[W] | SerDes回路の消費電力[W] | TOSA/ROSAの消費電力[W] | サブシステム全体の消費電力[W] | 開発手法の低減効果[%] |
|------|--------------|------------------|-------------------|------------------|--------------|
| 1 | 8.9 | 0.2 | 3.0 | 12.1 | 74.7 |
| 2 | 17.6 | 0.4 | 6.0 | 24.0 | 49.8 |
| 3 | 26.3 | 0.6 | 9.0 | 35.9 | 24.9 |
| 4 | 35.0 | 0.8 | 12.0 | 47.8 | - |

次に表 2 に、本開発手法による消費電力低減効果を示す。本開発手法により、サブシステム全体の消費電力 47.8W を、送信データ流量に応じたレーン数の制御により、3 レーンの時には 35.9W（省電力効果：24.9%）、2 レーンの時には 24.0W（省電力効果：49.8%）、1 レーンの時には 12.1W（省電力効果：74.7%）まで削減できる見通しを得た。

また、レーン数を切り替える 100Gb イーサネットの制御技術及び製品は現在までに実現されておらず、本研究成果により省電力 100Gb イーサネットの新市場の開拓に寄与することができる。

(2) 高速電気インターフェース技術

伝送距離 20cm (内、コネクタ 1 箇所通過を含む)での、28Gbps×4 チャンルの電気信号伝送において、立案した信号波形等化方式を搭載したインターフェース方式を試作し、その機能を検証すると共に、ビットエラーレート 10^{-12} 以下を達成するための問題点の定量化と、消費電力 300mW/チャンネル以下を達成するための課題の検証を実施する。

①信号伝送路での損失を補償しシンボル間干渉を低減するための回路方式の開発

上記目標①に対し、100Gb イーサネット LAN 向け光伝送サブシステムの実現に向けて、PCS/MAC

論理 LSI との電気インターフェースにおける信号伝送を低ビットエラーレートで実現するための、信号波形等化技術の研究開発を行った。低ビットエラーレート 10^{-12} 以下を最適な電力効率で実現するため、LSI と実装 (LSI パッケージやコネクタや基板等) を統合した伝送系全体でビットエラーレートを予測することが可能となる電気系統合方式評価解析技術を確立し、伝送系構成要素に対する最適な電気仕様を決定した。また、決定した電気仕様に基づいて、25-28Gbps 送受信回路の設計を行い、TEG 試作を実施して、評価結果を得ることができた。図 1 に伝送評価結果を示す。

②伝送レート 28Gbps/伝送距離 20cm/ビットエラーレート $<10^{-12}$ を達成するための問題点の定量化

上記①の開発方式の要素技術試作により設計結果、TEG 評価結果についてまとめた。設計結果、および評価結果から、動作レート 28Gbps、伝送距離 20cm の伝送条件において、ビットエラーレート 10^{-12} 以下の伝送品質を達成できる見通しが得られた。表 3 に検討結果まとめを示す。また、図 2 には電力効率の観点から、高速電気インターフェース技術分野における本研究結果の位置付けを示した。1ch、1Gbps あたりの電力効率は 12.5mW/Gbps/ch であり、他を凌駕する研究結果である。

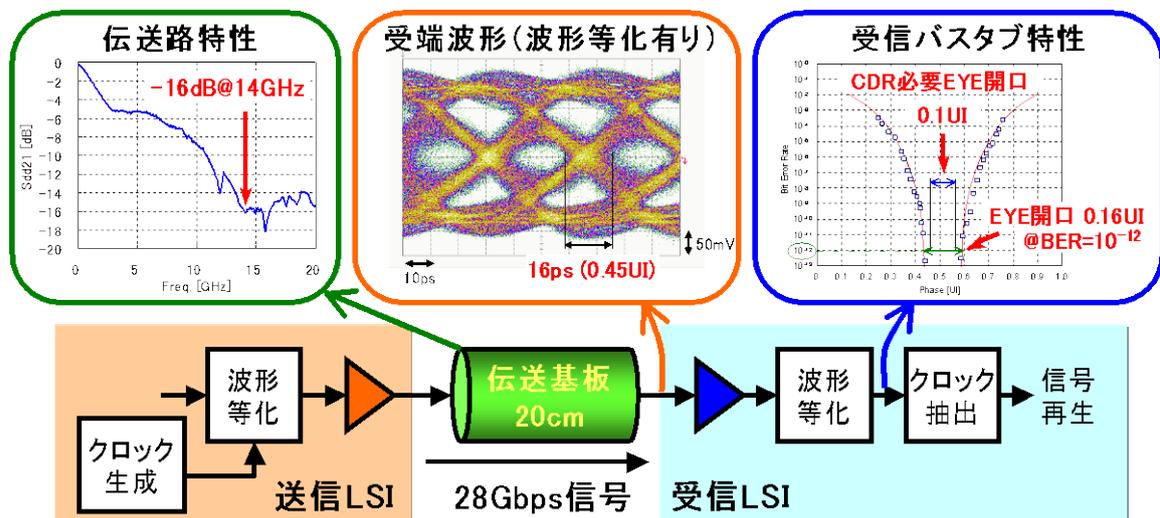


図 1 伝送レート 28Gbps、伝送距離 20cm の伝送評価結果

表 3 高速電気インターフェース技術 検討結果まとめ

| No. | 項目 | 単位 | 目標仕様 | | | 設計結果 | | | 評価結果 | | | 判定 |
|-----|-----------|-------|------|-----|-------------------|------|-----|-------------------|------|-----|-------------------|----|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | MIN | TYP | MAX | |
| 1 | 動作レート | Gbps | - | 28 | - | - | 28 | - | - | 28 | - | ○ |
| 2 | 伝送距離 | cm | - | 20 | - | - | 20 | - | - | 20 | - | ○ |
| 3 | ビットエラーレート | - | - | - | 10 ⁻¹² | - | - | 10 ⁻¹² | - | - | 10 ⁻¹² | ○ |
| 4 | 消費電力 | mW/ch | - | 300 | - | - | 345 | - | - | 350 | - | △ |

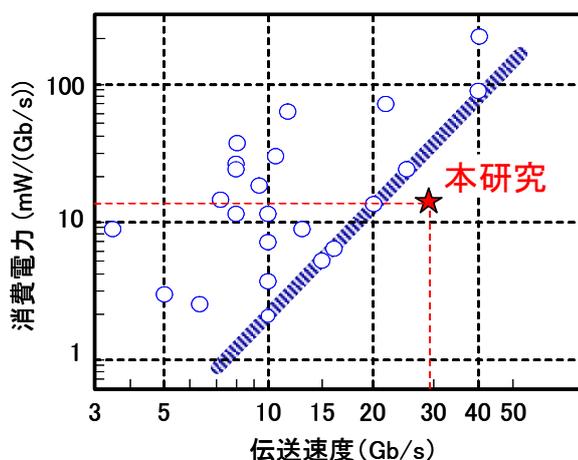


図 2 高速電気インターフェース分野における本研究の位置付け (電力効率指標)

③消費電力 300mW/チャンネル以下を達成するための課題の明確化

上記①、②の結果、消費電力については、目標とした 300mW/ch を 17%ほど超過する結果となったが、電力増加の要因は機能ブロック毎に分析済みである。見積り値に対して大きく超過したブロックは、P/S 回路 (クロック位相調整部: +26mW)、CDR 回路 (7GHz クロック分配系: +21mW)、及び 14GHz の Tx クロック分配系 (+77mW/4ch) である。特に高速クロックを取り扱う回路の電力が見積り値に対して大きく増加している傾向にあり、ピーキング回路を用いてクロックバッファの高速動作と DC 電力低減を両立させる手法が有効となる見通しである。

(3) サブシステム化方式および光・電子融合設計技術

100Gb イーサネット LAN 向け光伝送 (10km) において、サブシステム方式および光・電子融合設計技術を開発し、その機能を検証する。サブシステム全体が実現する信号品質として、標準が規定するビットエラーレート 10⁻¹² 以下を満足するシステム仕様を策定し、なおかつ標準化が規定する以上の光・電気特性の品質 (ノイズ、ジッタ等) を達成するため、光・電子融合設計技術についてプロトタイプを試作し、課題の検証を実施する。

①25 Gbps × 4 チャンネルで動作する電気・光変換部の小型化実現とその課題抽出

25Gbps で動作する 1.3 μm 帯 EA 変調器集積 DFB レーザ 4 素子と一つの導波路から光信号を出力させるための光合波回路を 1 チップにモノリシック集積した素子の設計・試作を行い、その特性評価から

課題を明らかにした。作製した素子（図 3）は、規格で定められた波長帯域内でシングルモード発振し、サイドモード抑圧比 30 dB 以上で、4 mW 以上の光出力を得た。また、静的消光比は全てのチャンネルにおいて 16 dB 以上、動的消光比は 8 dB 以上で、10 km 伝送に対して規格で定められた動的消光比の 4 dB、40 km 伝送に対する規格 8 dB を満たすことができた。また、素子の 3 dB 帯域は約 30GHz であり、25Gbps の信号伝送に十分な帯域を得た。素子サイズは 2 mm × 2.6 mm と非常に小型で、この中に 25 Gbps × 4 波長の変調光源と合波機能が含まれている。よって、この素子を用いることにより、光送信部の小型化と部品点数の削減が可能となるとともに、温度制御素子が 1 つで済むので、省電力化が期待される。

②25 Gbps 高速電気信号の光送信部への高密度接続技術の確立とその課題抽出

25 Gbps の高速電気信号を、それぞれ 4 つの光送信部および信号変換部を接続した送信器に送るための光と電子を融合する接続技術について、高周波特性をシミュレーションにより検討し、パッケージの設計を行った。試作したパッケージ（図 4）に集積チップを搭載して、動作確認実験を行い、課題を明らかにした。小信号周波数応答特性測定により、20 GHz 程度の 3 dB 帯域幅が得られ、25 Gbps NRZ 変調用としては、十分な帯域があることを確認した。4 波長において、25 Gbps の NRZ 変調信号を印加し、10 km 伝送を行ったところ、ペナルティの少ないエラーフリー伝送ができることを確認した。全チャンネル同時動作では、クロストークによるアイペナルティが 1~1.5 dB 程度あるが、エラーフリー伝送ができることを確認した。

試作パッケージの大きさは 12.7 mm × 20.8 mm × 8.2 mm である。第一世代の 4 つの個別モジュールと合波フィルタ用いる構成に比べて、小型・省スペース化（約 1/3）、部品点数の削減化（約 1/3）、および温度制御素子数削減による省電力化（約 40%）が達成されている（図 5）。

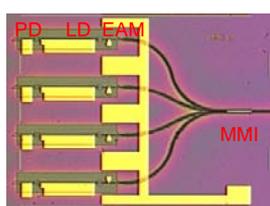


図 3 集積素子

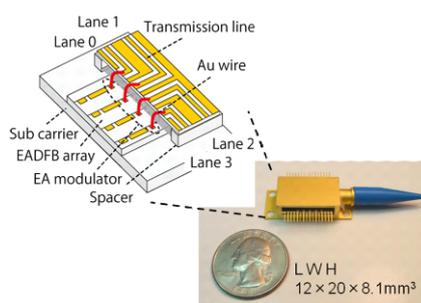


図 4 送信パッケージ

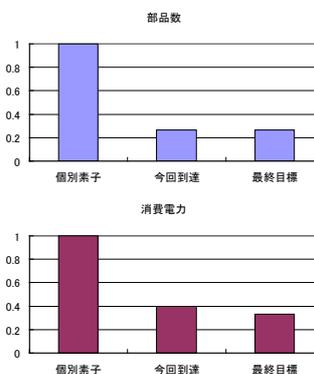


図 5 到達点

3. 2 シリアル 100Gb-/パラレル 400Gb-LAN 向け高速省電力信号伝送技術

(1) シリアル高速省電力信号伝送方式

伝送距離 40km、100Gbps シリアルの光信号伝送において、立案した物理層の省電力制御方式のモデルを作成し、それによる方式検証をすると共に、電力消費量低減の定量化と、適応的電力削減を行わない方式に比べ 1/2 以下の電力消費削減を達成するための課題の明確化を実施する。更には、伝送速度を 400Gbps 級に向上させる高速化方式を立案する。

①伝送距離 40km、100Gbps シリアルの光信号伝送向け物理層省電力制御方式のモデル作成

上記目標①に対し、シリアル形態の 100Gb イーサネット LAN 向け光伝送サブシステムの実現に向けて、光多値伝送での伝送損失、及び伝送データの流量に適応して電力消費を削減する、省電力制御シリアル伝送方式の研究開発を行った。

上記開発に向けて、提案方式の仕様の具体化を行い、MAC/PCS の各機能ブロックに関して基本方式仕様を検討し、提案方式を Verilog-HDL にて RTL 論理記述を実施し、立案した方式のモデル化を行った。

②上記モデルによる方式検証と、電力消費量低減の定量化

上記目標②に対し、①で行った RTL 論理記述を FPGA で動作可能な形態に移植（マッピング）し、製造・購入した 100Gb イーサネット論理評価用 FPGA ボードに搭載し、方式検証機による MAC/PCS の各機能ブロックの基本性能検証を行なった。

実機による検証結果より、提案方式による送信データ流量（テストパターン）に応じた多値数切替制御の動作を確認し、省電力制御方式の実現できる見通しを得た。例えば、送信データ流量が 67%以下で光多値数は 16 値（4 レーンに相当）、43%以下で 8 値（3 レーン相当）、37%以下で 4 値（2 レーン）、12%以下で 2 値（1 レーン）となる。光多値切替制御の動作の確認により、光サブシステム全体の消費電力 68.8W を、送信データ流量に応じた光多値数の切制御により、8 値の時には 51.6W（省電力効果：25%）、4 値の時には 30.4W（省電力効果：55.8%）、2 値の時には 16.2W（省電力効果：76.5%）まで削減できる見通しを得た。しかし、ベース回路の消費電力が 39.1W と非常に大きく、さらなる低電力化にはこの消費電力削減が必要である。

また、提案方式は光多値変調器・復調器や SerDes 回路などの周辺回路がレーン数切り替えによる起動/停止制御に対応していなければ実現することは出来ない。今回の検証では、省電力制御技術に関する基本機能検証を行い、設計通りの動作を確認できたが、さらに詳細な検証には光多値変調器・復調器や SerDes 回路などの周辺回路まで含めた検討、及び追加実装が必要である。

③従来方式に比べ 1/2 以下の電力消費削減を達成するための課題の明確化

上記①②の検証結果より、目標を達成するための課題の明確化を行った。課題としては大きく分けて、送信データ流量測定方法、使用レーン数（多値数）切替制御方法、光多値数適応誤り訂正符号の選択方法、送受信間ネゴシエーションの 4 つに分類される。送信データの流量変化には短期間で変化するものと、時間をかけて変化するものがある。これら両方の変化を計測し、省電力効果が得られる最適な計測方法と制御方法の検討が必要であることが分かった。また、誤り訂正符号の選択において、訂正符号の選択と、使用の有無の両方を制御するには複雑な制御を必要とし、切り替え時間が長くなる。そのため、本検証では誤り訂正符号の使用有無を切り替える方式としたが、提案方式の実現には、送信流量によるシンボルマッピングと BER の検討が必要であることが分かった。

また、送受信間でネゴシエーションを行う際に、レーン数切り替え時の送信データ流量の差分を吸収するバッファが必要であり、送受信間だけでなく上位層とのネゴシエーションが必要であることが分かった。

さらに②で述べたように、提案方式の実現には、光多値変調器・復調器や SerDes 回路などの周辺回路がレーン数の切り替えによる起動/停止制御に対応している必要があり、周辺回路まで含めた検討を行う必要があることが分かった。

④伝送速度を 400Gbps 級に向上させる高速化方式の立案

伝送速度を 400Gbps 級に向上させる高速化方式及び物理層アーキテクチャの立案と課題の明確化を行った。400Gbps 級イーサネットの物理層アーキテクチャとして、PCS 副層、PMA 副層の機能仕様と、VSR（伝送距離 100m）、SR（2km）、LR（10km）、ER（40km）の 4 種のインターフェースを定義した。

400Gbps 級への高速化においては、マルチレーン分配での物理レーン数のバリエーションが、100Gb イーサネット（2 種）以上に増えることが問題となる。このバリエーション増加は、用意するインターフェース種毎に市場要求や、必要とされる新規開発する技術セットや難易度が異なるためである。インターフェース種の単体だけで技術的なスイートスポットを選択すると、物理レーン数がインターフェース種毎に異なることになる。この結果として、仮想レーン数が膨大となり、処理遅延増や伝送レートの圧迫といった悪影響がある。従って、いかに仮想レーン数を少なく抑えるように、各インターフェース種の物理レーン数を調整するか、が課題となることが明確となった。

ベースの消費電力を除いたときの消費電力と提案手法による消費電力の低減効果を表 4 に示す。ベースの消費電力を除いた場合、提案手法による消費電力効果の低減効果が最大で 74%となる見通しを得た。

表 4 構成例の消費電力と開発手法による消費電力低減効果（ベース含まず）

| レーン数 | PCS層の消費電力[W] | DSP回路の消費電力[W] | TOSA/ROSAの消費電力[W] | サブシステム全体の消費電力[W] | 開発手法の低減効果[%] |
|------|--------------|---------------|-------------------|------------------|--------------|
| 2値 | 8.7 | 4.0 | 3.5 | 16.2 | 76.5 |
| 4値 | 17.4 | 6.0 | 7.0 | 30.4 | 55.8 |
| 8値 | 26.1 | 15.0 | 10.5 | 51.6 | 25.0 |
| 16値 | 34.8 | 20.0 | 14.0 | 68.8 | - |

本開発における到達目標は、ベースの消費電力分を除いた場合の動的な消費電力量を 1/2 以下（省電力効果 50%以上）にすることである。表 4 を用いて本開発手法の低減効果を考察すると、光サブシステム全体の消費電力 68.8W を、送信データ流量に応じた光多値数の制御により、8 値の時には 51.6W（省電力効果：25%）、4 値の時には 30.4W（省電力効果：55.8%）、2 値の時には 16.2W（省電力効果：76.5%）まで削減できる見通しを得た。

また、光多値数を切り替える 100Gb イーサネットの制御技術及び製品は現在までに実現されておらず、本研究成果により省電力 100Gb イーサネットの新市場の開拓に寄与することができる。

（2） 光多値変復調方式及び送受信信号処理方式

伝送距離 40km、100Gbps×1 チャンネルの光信号伝送で、省電力かつビットエラーレート 10^{-3} 以下を実現するための光多値変復調方式及び送受信信号処理方式として、一偏波で 16 値以上の光振幅位相変調技術と直接検波技術を組み合わせた変復調方式及び波形等化信号処理方式の立案とその原理検証を実施する（誤り訂正処理により、システム完成時にはビットエラーレート 10^{-12} 以下を実現可能とする）。

①変復調方式、及び波形等化信号処理方式の立案

1.5um 帯 16 値変調を用いた 40km 版(ER-4)および、1.3um 帯 8 値変調を用いた 10km 版(LR-4)の仕様を立案した。図 6 に前者の(a)主要諸元と(b)構成を示す。前者は光前置増幅器を用いるとともに波長分散予等化・位相予積分などの技術を利用し 16 値の振幅位相変調信号を 40km 伝送するよう高性能化を図る方式であり、また後者は安価かつ低消費電力となるよう位相 8 値変調を用いる方式である。

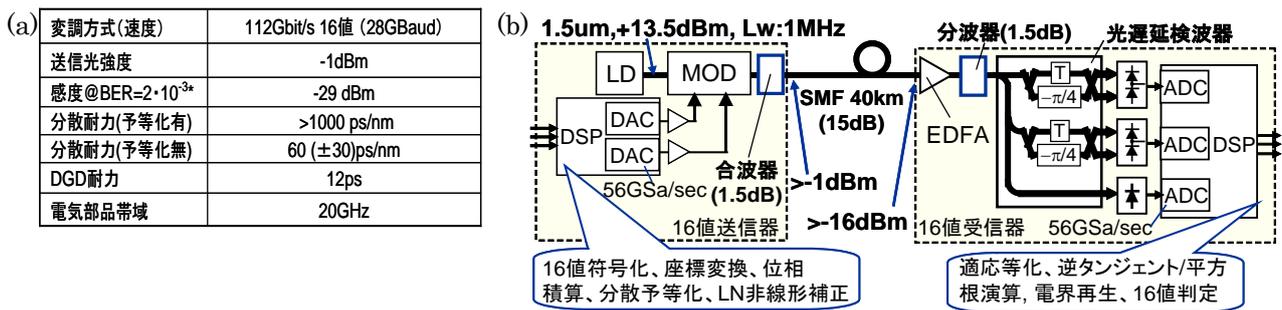


図6 立案した40km版16値100G光多値伝送システムの(a)主要諸元と(b)構成

② シリアル100Gbps光多値変復調方式の原理検証

上記方式の原理検証を目的に、送信側および受信側信号処理回路の試作、立案した変調方式の検証実験を行った。このうち前者においては、立案方式の独自信号処理部分（送信側の16値符号化部・位相予積分部・直交座標変換部、受信側のArctan演算回路・平方根回路、16値多値判定回路）をFPGAボード上に試作し、送受とも約60万ゲートで実装可能であること、信号ビットレート99.8Gbpsまで実際に動作することを実証した（図7）。

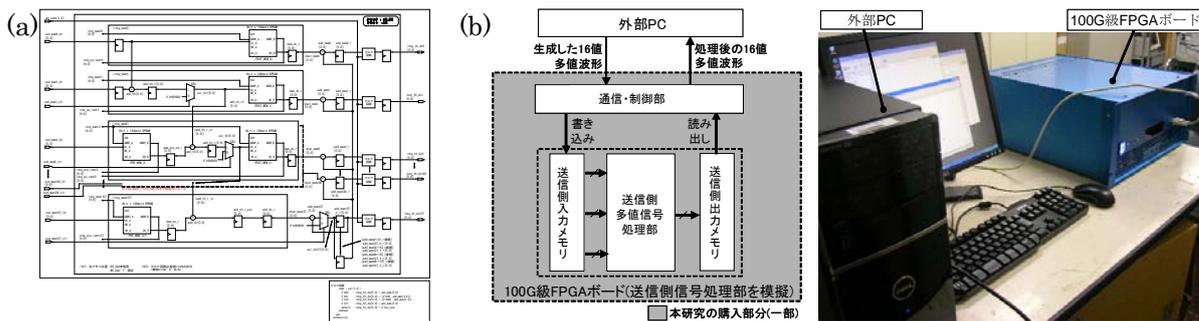


図7 原理検証用の(a)試作回路の例(位相予積分部)および、(b)試作FPGAボードを用いた検証系の構成

後者の検証実験においては、まず低速の10Gシンボル/秒において立案する変調波形の生成と復調および波長分散の印加実験を行った。それぞれ受信感度を測定し(40km版16値で光SNR感度16.7dB、10km版で受信感度-14.5dBm)、また波長分散を印加した伝送実験を行い100Gに換算後に必要な性能が得られることを確認した。最後に実際に107Gbpsの16値振幅位相変調信号を生成し、これを44km伝送して受信する伝送実験を行い、ビット誤り率 5.1×10^{-4} (目標値 10^{-3} 以下)を達成した。図8(a)に伝送前のビット誤り率特性を、図8(b)に44km伝送後の受信コンスタレーションを示す。

図8(c)に、研究成果のベンチマークを示す。KAISTとデンマーク工科大学は、直接検波ではあるが、偏波多重方式を採用している。Alcatel-Lucentは、偏波多重方式およびコヒーレント受信方式を採用している。一方、本研究では単一偏波・直接検波光多値変復調方式を採用しており、本方式で多値数8値を超えた100Gbps伝送を達成したのは、世界ではじめてである。

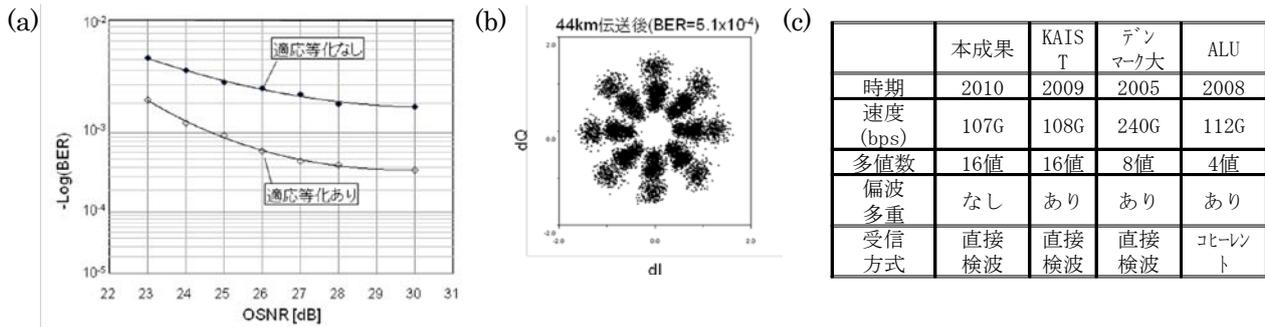


図8 (a)伝送前のビット誤り率特性 (b) 44km 伝送後の受信コンスタレーション (c) ベンチマーク

(3) 高速 ADC・DAC 技術

伝送距離 40km、シリアル 100Gbps×1 チャンネルの光信号伝送で、ビットエラーレート 10^{-3} 以下を実現するための ADC 方式技術及び DAC 方式技術に向けた、基本方式技術の開発とその試作評価を実施し、その機能を検証すると共に、基本性能として 15G サンプル/秒以上、分解能 6bit 以上、消費電力 500mW 以下を達成するための、問題点の定量化を実施する。

① 高速アナログ・デジタル混成技術の基本方式の開発

本研究の目標である 100Gbps×1 チャンネルの信号伝送の実現のためには、サンプル速度 50G サンプル/秒以上、かつ、分解能 6bit 以上の ADC および DAC が必要であり、Si CMOS プロセスを用いたサンプル速度 15G サンプル/秒の ADC および DAC を 4 個用いて時間的にインターリーブ動作させることで 60G サンプル/秒を達成する構成をとることにした。60G サンプル/秒、分解能 6bit、2W の ADC および DAC を目指す第一段階として、その中核要素である、サンプル速度 15G サンプル/秒、分解能 6bit の ADC および DAC を研究開発することを目的とし、消費電力の目標は、ADC : 200mW 以下、DAC:300mW 以下として、ADC・DAC 合わせて 500mW 以下を目標に検討を行なった。ADC は レベルシフタ/抵抗ラダー、コンパレータプリアンプ、コンパレータ、多数決回路、温度計コードデコーダ+S/P および、キャリブレーション機構で構成するサンプル速度 15G サンプル/秒の基本方式を開発し、設計結果で 120mW を実現した。また、DAC はサンプル速度 7.5G サンプル/秒の DAC の出力信号を合成して 15G サンプル/秒のアナログ信号を生成する方式とし、7.5G サンプル/秒の DAC について(a)電流加算型回路方式と(b)抵抗分圧型回路方式に関して試設計を行い、それぞれ消費電力 63mW、消費電力 56mW をシミュレーションで確認し両方式で性能目標を達成することがわかった。また、アナログ MUX 回路の検討を行い 15Gpsps 動作、消費電力 70mW を確認した。

② 高速 ADC・DAC 方式技術を実現するための問題点の定量化

上記方式の試作評価を通して、15G サンプル/秒以上、分解能 6bit 以上、消費電力 500mW 以下の ADC 方式技術及び DAC 方式技術を実現するための、問題点について、以下の知見を得た。

サンプル速度 15G サンプル/秒、分解能 6bit、消費電力 200mW 以下のアナログ・デジタル変換回路 (ADC) の設計及び、試作を実施して、ADC 機能と消費電力 124mW を確認でき、キャリブレーション機構を用いることで十分にキャリブレーションできることを確認した。また、サンプル速度 15G サンプル/秒、分解能 6bit、消費電力 300mW 以下のデジタル・アナログ変換回路 (DAC) の目標達成の

ために必須となる一部の要素回路（アナログ MUX 回路）の試作を行い、最大 20G サンプル／秒の評価結果を得ることができた。最終目標の 60G サンプル／秒を実現するためには、さらなる微細化 SiCM OS 技術の採用及び回路方式面での高速化の研究が必要である。

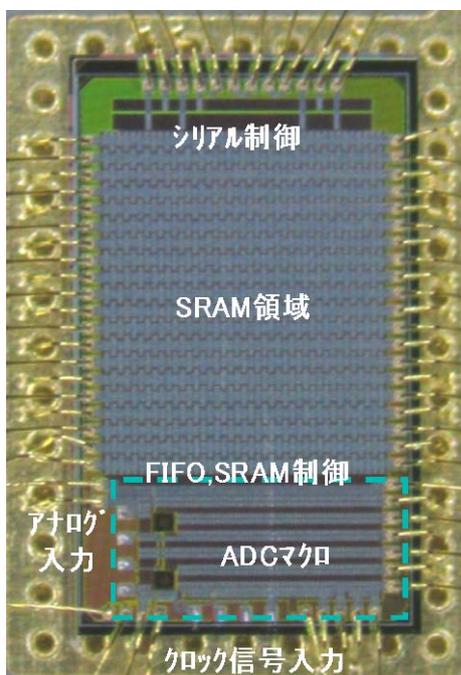


図 9 試作した ADC 回路テストチップ

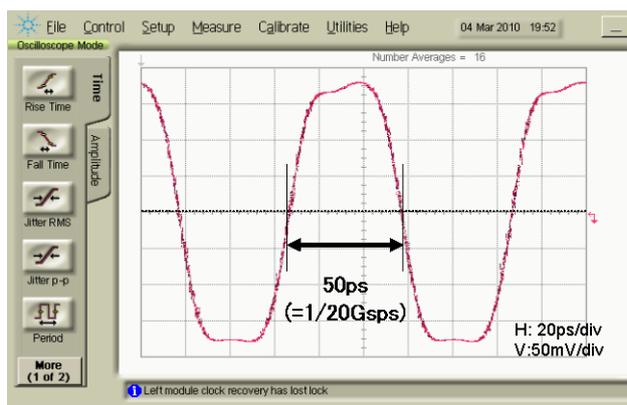


図 10 アナログ MUX 回路動作観測波形

3. 3 100Gbps 光インターフェース技術

(1) 100Gbps 光受信インターフェース技術

直径 20 μ m 以上の受光面と 25Gbps の高速動作を両立させた 100Gbps イーサネット用 4 チャンネル並列受光技術を確立し、試作により検証を行う。容積 3cc 以下、消費電力 1.5W 以下の 100Gbps 光受信インターフェース技術を確立し、試作により性能を検証する。

①直径 20 μ m 以上の受光面と 25Gbps 動作を両立した 100Gbps4 チャンネル並列受光技術の開発

4 チャンネル並列光受光部として表面入射型構造と新たなインジウム燐構造を開発することにより、高速動作を制約する浮遊容量の最小化を実現し、到達目標であると 20 μ m より大きい直径 25 μ m の受光面でも 25 Gbps の高速動作を実証し、目標を上回る研究成果を達成した。

②容積 3cc 以下、消費電力 1.5W 以下の 100Gbps 光受信インターフェース技術の開発

薄膜フィルタを用いた小型一体波長分波光学系、およびパッケージ背面にフレキシブル基板を取り付ける小型接続構造を開発し、さらに電気クロストークを抑えた伝送線路設計とワイヤ接続設計により、100 Gbps 光受信インターフェースの容積目標 3 cc 以下に対し 1.3 cc、消費電力目標 1.5W 以下に対し 0.7W と目標を大きく上回ることが出来た。

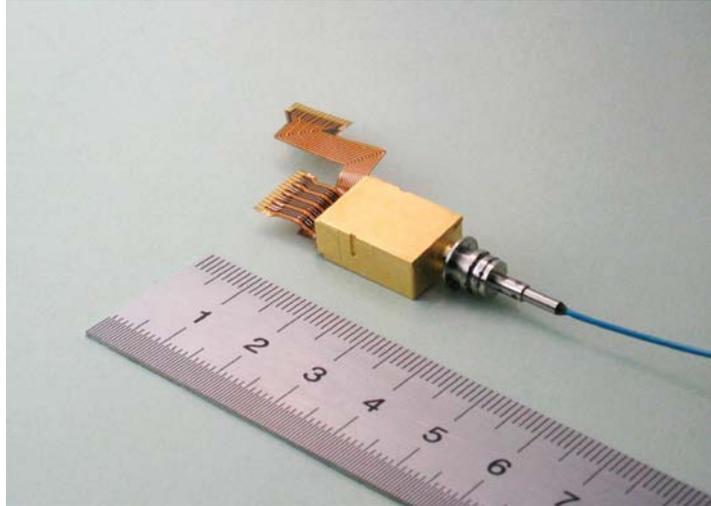


図 11 100Gbps 光受信インターフェース外観写真

次に目標および他社に対する研究開発成果の比較を示す。開発当初の目標は黒字で示しているが、今回の開発にて最終的に当初目標を上回る開発結果を得ることが出来た。開発した 100 Gbps 光受信インターフェースは他に 2 社から報告されており、これらの性能も図および表に示す。何れに対しても今回の開発結果が上回っている。特に消費電力については目標値を 50%以上上回る低消費電力性能を示し、容積についても目標値を 50%以上上回る小型化を達成し、世界最高レベルである。これらの開発成果は本格的に普及すると予想される、小型・低消費電力化が要求される次世代 100Gbps トランシーバの開発を加速させるものと確信する。

表 5 受信性能に対する目標と開発成果

| 項目 | 三菱 | | A社 | B社 | 単位 |
|--------|---------|-------|-------|------|-----|
| | 目標 | 開発 | | | |
| 消費電力 | 1.5以下 | 0.7 | 1.0 | 0.8 | W |
| 最小受信感度 | -10.8以下 | -12.1 | -10.8 | -8.0 | dBm |

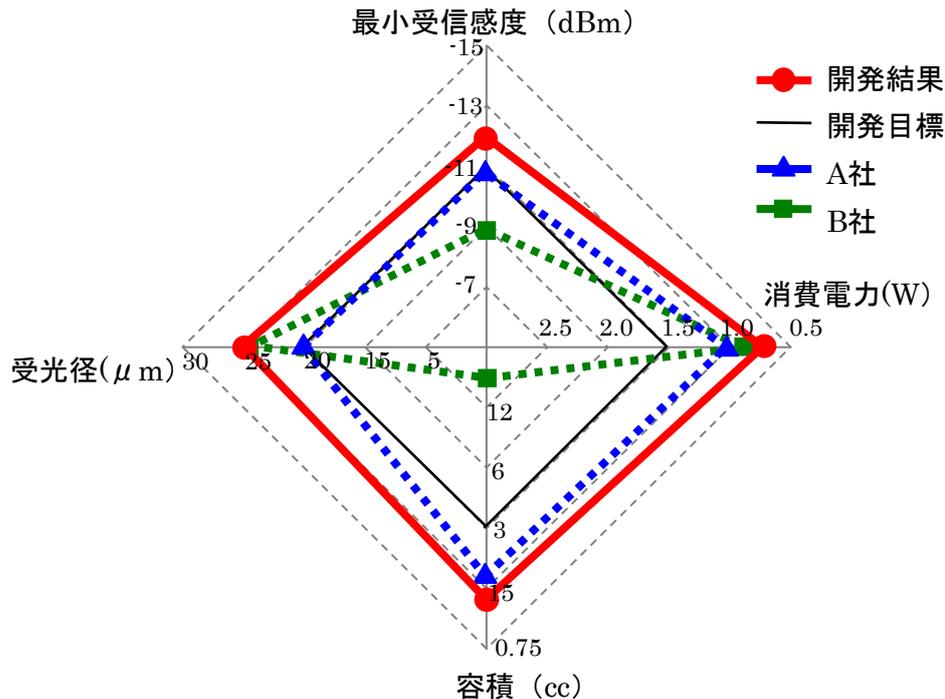


図 12 目標および他社に対する研究開発成果の比較

(2) 100Gbps 光送信インターフェース技術

チャンネル当たりの消費電力が0.1W以下で25Gbpsの高速動作を実現できる100Gbpsイーサネット用4波長レーザを、45℃以上の高温下で波長安定化することが可能な4波長レーザ技術を確認し、試作により性能を検証する。容積5cc以下、消費電力2W以下の100Gbps光送信インターフェース方式を達成するための問題点の定量化を行う。

- ① チャンネル当たり消費電力 0.1W 以下の 100Gbps イーサネット用 25Gbps×4 波長レーザ技術の開発
低消費電力下で高速 25Gbps 動作可能な 4 波長レーザを実現するために、短共振器構造、アルミニウム・ガリウム・インジウム・砒素 (AlGaInAs) 系活性層、埋込構造を開発し、目標の消費電力を達成した。チャンネル当たり消費電力 0.06W 以下の成果は目標水準に対し 40%以上の省電力となり、世界最高品質の 25Gbps 光波形を有する 4 波長レーザとして目標を大きく上回る成果を得た。
- ② 45℃以上の高温下で波長安定化することが可能な 4 波長レーザ技術の開発
高温動作のための結晶成長技術、ウエハプロセス形成技術の新規開発により、目標を達成した。目標水準の上方修正により、50℃までの高温下において 100Gbps イーサネット規格に適合した 4 波長の信号光を安定的に出力できる成果を得た。
- ③ 容積 5cc 以下、消費電力 2W 以下の 100Gbps 光送信インターフェース方式の課題の定量化
100Gbps イーサネットの光出力規格に適合するための光損失許容値の課題分析を行い、光送信インターフェース内の光信号と光ファイバの結合損失を 3.0dB 以下に抑制することで規格を満足できる見込みを得た。課題の検討結果を元に、4 波長レーザをハイブリッド集積したシリコン基板上の波長多重部と、25Gbps×4ch 高速伝送においてチャンネル間の電気クロストークを-30dB 以下に抑制した電気信号接続部を統合した 100Gbps 光送信インターフェースを設計した。容積の設計目標 5cc に対して 1/3 以下

の 1.5cc、および消費電力の設計目標 2W に対して 1/2 以下の 0.78W という、目標を大きく上回る成果を得た。

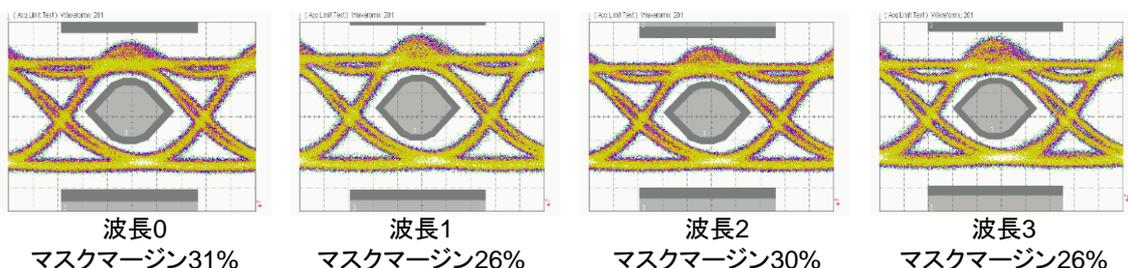


図 13 50°C高温下での4波長レーザの25Gbps光波形

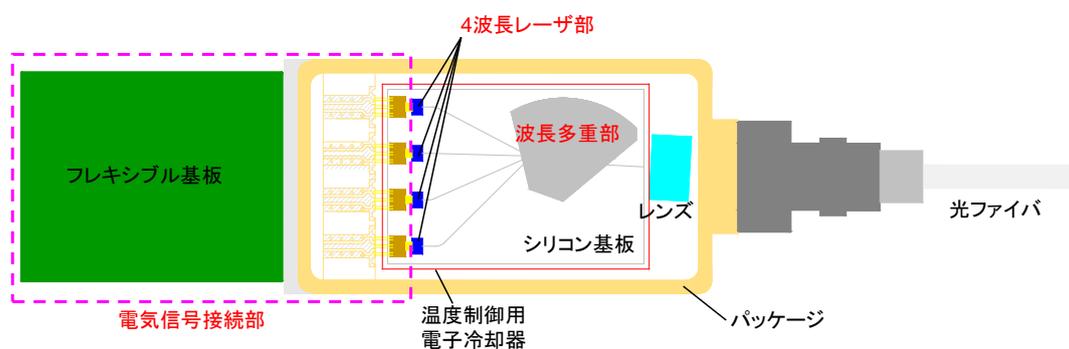


図 14 100Gbps 光送信インターフェースの構成

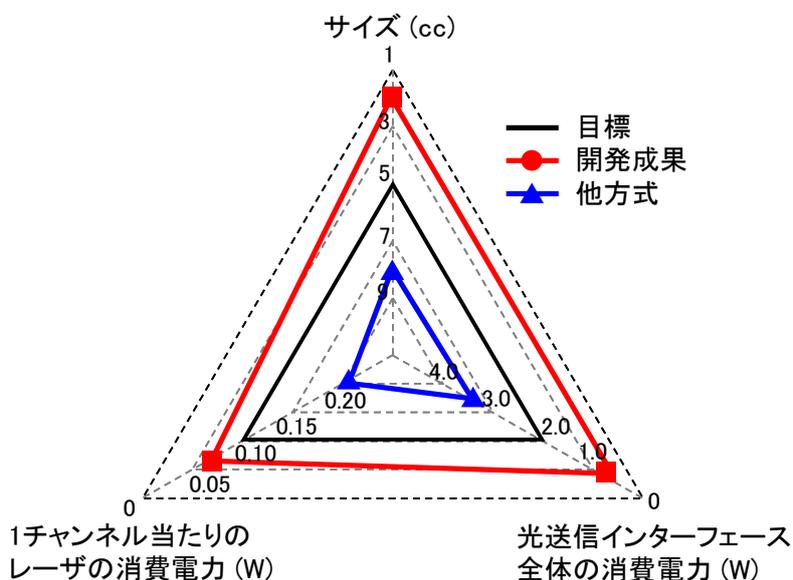


図 15 目標および他方式に対する研究開発成果の比較

3. 4 その他の研究実績

(1) 標準化活動について

本研究の課題であるイーサネット向け超高速省電力光伝送技術に関連する国際標準化活動のひとつとして、OIF(Optical Internetworking Forum)があり、主に超高速光伝送、特に 100 ギガビット伝送の

仕様を標準化する目的で活動している。本研究推進に必要な超高速光伝送業界の動向入手と、本研究で得られた成果の国際標準化に向けた情報交換のため、この OIF の 2009 年 10 月及び 2010 年 2 月の会合(Technical and MA&E Committees Meeting)に出席した。特に本研究に関連の深い PLL(Physical Link Layer)ワーキンググループに参画し、現在策定中の高速光伝送規格 100Gigabit DWDM PJ、及び高速電気インターフェース規格 CEI(Common Electrical Interface) PJ の会議に出席した。これにより、現在策定中の 100G DWDM 及び CEI-25G 標準化の最新情報、及び、他社情報を入手することができ、その結果を本研究での開発仕様へフィードバックして、その試作・特性評価を完了している。この本研究での成果は、今年度の標準化会合に提示し、議論を誘導することで、日本に有利な方向に標準化継続して活動する予定である。

(2) 学識経験者、有識者等を含んだ研究開発運営委員会の開催について

本研究開発全体の方針について幅広い観点からのご助言と、実際の研究開発の進め方についてご指導を頂くため、アドバイザリ委員会を 2009 年 11 月に開催した。

本研究の進め方については、本プロジェクト終了後の実用化に向けた計画の具体化や他プロジェクトで進めている研究内容との連携強化等に関しご指導いただき、また研究開発目標や内容に関しては、開発目標の妥当性や適用先から見た技術選定の有用性等に関しご意見を頂いた。本研究全体の方針に関しては、具体的には、(1)世界市場を取れることを明らかにすること、(2)product での成果を狙うこと、(3)世界標準のサーベイやスタディも平行して行うこと、(4)見える形で標準化を図ること、(5)100 ギガビットや 400 ギガビットでブランドを確立すること、(6)年度末には世界にアピールできるようにすること、とのご指導を頂いた。これらをその後の本研究での開発内容の具体化、評価項目の充実等に反映し、上記今年度の成果に繋げる事ができた。

4 研究成果の更なる展開に向けて

(株式会社日立製作所)

本研究開発の成果であるイーサネット向け超高速省電力光伝送技術に関しては、IEEE 標準化委員会や Optical Networking Forum に引き続き参画し、標準化提案活動を推進する。また、本研究開発の成果を、光伝送サブシステムやそれを用いる情報通信機器装置として製品化を図る。加えて、本研究開発で得られた要素技術成果も、情報通信機器向け LSI として広く展開を図る。

(日本電信電話株式会社)

本研究開発で確立した技術を普及させるために、本研究開発の実施段階から、100Gb/400Gb イーサネット標準化に関連する国際委員会等で幅広く情報収集し、研究開発活動を通して、光通信事業への寄与を推進する。本技術開発の成果をもとに、さらに開発を進めていき、最終的には、グループ会社からの製品化・市場導入を目指していく。

(三菱電機株式会社)

本研究開発に関連する光インターフェースの標準化について、100Gbps 光インターフェースの業界標準となる MSA を目指した活動を推進する。

また本技術開発の成果は、100Gbps 光インターフェースとして三菱電機株式会社の光通信事業への適用を図る。

5 査読付き誌上発表リスト

なし

6 その他の誌上発表リスト

なし

7 口頭発表リスト

- [1] 豊田英弘、“イーサネット向け超高速省電力光伝送技術”、コヒーレント光通信システム調査委員会（(財) 光産業技術振興協会）（東京）（平成21年8月18日）
- [2] 小野豪一、“28Gb/s インタフェース回路開発：送信回路”、電子情報通信学会2010年総合大会（仙台）（2010年3月19日）
- [3] 竹本享史、“28Gb/s インタフェース回路開発：36mW 低電力受信回路”、電子情報通信学会2010年総合大会（仙台）（2010年3月19日）
- [4] 鈴木英一、“25Gb/s CDR 向けフリップフロップのシミュレーションによる特性評価”、第22回電子情報通信学会シリコンアナログRF研究会（福岡）（2010年3月1日）
- [5] 平井 理宇、“光多値信号の OSNR 感度のレーザー線幅依存性の検討”、電子情報通信学会2010年総合大会（仙台）（2010年3月16日）
- [6] 竹村亮太、“100G ビットイーサネット用 25Gbps pin-PD の開発”、電子情報通信学会 LQE 研究会（福岡）（2009年10月23日）
- [7] 望月敬太、“100Gbps イーサネット用光受信モジュールにおける 4ch-WDM 光学系の開発”、電子情報通信学会2010年総合大会（仙台）（2010年3月18日）
- [8] 境野剛、“1.3 μ m 帯 AlGaInAs 系 DFB-LD の 25Gbps 低電流直接変調動作”、第57回応用物理学関係連合講演会（平塚）（2010年3月19日）
- [9] 竹村亮太、“100G ビットイーサネット用 25Gbps pin-PD の高感度化”、第57回応用物理学関係連合講演会（平塚）（2010年3月20日）

8 出願特許リスト

- [1] 光野正志、豊田英弘、神戸章宏、データ伝送システムおよびデータ伝送装置、日本国、平成22年3月17日
- [2] 渡邊 圭紀、武藤 隆、木庭 秀樹、伝送距離に応じて電力を制御する高速インタフェース回路、日本国、平成22年1月27日
- [3] 松本晃、薄衣辰徳、半導体装置、日本国、平成22年3月29日
- [4] 福岡哲也、藤村康弘、山岡雅直、半導体装置およびその制御方式、日本国、平成22年3月29日
- [5] 平井理宇、菊池信彦、光送信器、光送信方法、及び、光送受信システム、日本国、平成22年3月30日
- [6] 望月敬太、光合分波器、日本国、平成21年12月21日
- [7] 境野剛、半導体光素子および集積型半導体光素子、日本国、平成21年12月24日
- [8] 上杉利次、スポットサイズ変換導波路、日本国、平成22年2月10日
- [9] 望月敬太、光合分波器およびその製造方法、日本国、平成22年3月29日
- [10] 布谷伸浩、石井啓之、金沢慈、藤澤剛、川口悦弘、大木明、伊賀龍三、大橋弘美、半導体光集積素子、

日本国、平成 22 年 3 月 30 日

[11] 布谷伸浩、石井啓之、金沢慈、藤澤剛、川口悦弘、大木明、伊賀龍三、大橋弘美、半導体光集積素子、
日本国、平成 22 年 3 月 30 日

9 取得特許リスト

なし

10 国際標準提案リスト

なし

11 参加国際標準会議リスト

なし

12 受賞リスト

なし

13 報道発表リスト

(1) 報道発表実績

[1] “100 ギガビットイーサネット用 直接変調 DFB レーザーとフォトダイオードアレイを開発”、2010
年 3 月 11 日

(2) 報道掲載実績

[1] “100Gb イーサネット用 直接変調半導体レーザー，フォトダイオードアレイを開発”、日刊工業新聞、
2010 年 03 月 12 日

[2] “100Gb イーサネット用 直接変調半導体レーザー，フォトダイオードアレイを開発”、化学工業日報、
2010 年 03 月 12 日

[3] “100Gb イーサネット用 直接変調半導体レーザー，フォトダイオードアレイを開発”、日経産業新聞、
2010 年 03 月 15 日

[4] “100Gb イーサネット用 直接変調半導体レーザー，フォトダイオードアレイを開発”、電経新聞、2010
年 03 月 16 日

[5] “100Gb イーサネット用 直接変調半導体レーザー，フォトダイオードアレイを開発”、電気新聞、2010
年 03 月 16 日

研究開発による成果数

| \ | 平成 21 年度 | (参考) 提案時目標数 |
|---------------|------------|----------------|
| 査読付き誌上発表数 | 0 件 (0 件) | 0 件 (0 件) |
| その他の誌上発表数 | 0 件 (0 件) | 0 件 (0 件) |
| 口 頭 発 表 数 | 9 件 (0 件) | 0 件 (0 件) |
| 特 許 出 願 数 | 11 件 (0 件) | 11 件 (7 件) |
| 特 許 取 得 数 | 0 件 (0 件) | 0 件 (0 件) |
| 国 際 標 準 提 案 数 | 0 件 (0 件) | 0 件 (0 件) |
| 国 際 標 準 獲 得 数 | 0 件 (0 件) | 0 件 (0 件) |
| 受 賞 数 | 0 件 (0 件) | 0 件 (0 件) |
| 報 道 発 表 数 | 1 件 (0 件) | 0 件 (0 件) |
| 報 道 掲 載 数 | 5 件 (0 件) | — |

注 1 : (括弧)内は、海外分を再掲。

注 2 : 「査読付き誌上発表数」には、論文誌や学会誌等、査読のある出版物に掲載された論文等を計上する。学会の大会や研究会、国際会議等の講演資料集、アブストラクト集、ダイジェスト集等、口頭発表のための資料集に掲載された論文等は、下記「口頭発表数」に分類する。

注 3 : 「その他の誌上発表数」には、専門誌、業界誌、機関誌等、査読のない出版物に掲載された記事等を計上する。