

<基本計画書（案）>

高速・高品質な無線通信実現のためのICチップレベルの低ノイズ化技術の研究開発

1. 目的

周波数有効利用のために高度な変調方式が導入され、ICにおける信号処理の高度化・高周波化が進み、無線機器内において高速伝送の品質を劣化させるノイズ問題が深刻化している。特に携帯電話等の移動端末においては、受信感度を十分に確保するために、限られたスペースの中でアンテナ及びRF処理部へのノイズ対策に苦慮している状況である。

現状では、無線機器内部の与干渉回路と被干渉回路について、設計により物理的に距離マージンを確保する、チップ間にノイズ抑制シート・金属シールドを挿入するなどによりノイズ源を極力分離させて配置している。ノイズの発生と混入において最も重要なIC内部（ICチップレベル）のノイズ対策技術が未着手のため、ノイズ対策は現場レベルの経験を基にICチップの外部、すなわち基板・機器レベルで行わざるを得ない。

今後、移動通信分野における更なる高度な変調方式の導入や高周波帯の利用により、高速信号処理を実現するためのICの高周波動作化・小型化・省電力化・ワンチップ化の進展と、それに伴うノイズ問題の更なる深刻化が予測される中で、対策スペースの増加を招かずに受信レベルを確保する対策が切望される。更に適応制御の観点からも、端末内部のノイズを可能な限り抑制できれば、高速かつ高効率な通信を実現でき、周波数有効利用につながる。

そのため、ICチップレベルのノイズ抑制技術を確立し、移動端末等における高速無線伝送に貢献することを目的とする。

2. 政策的位置付け

- ・情報通信審議会答申 我が国の国際競争力を強化するためのICT研究開発・標準化戦略

第1部 研究開発戦略（UNS研究開発戦略プログラムⅡ）（平成20年6月）

3.3(2)(イ)社会・生活基盤の充実のための重点研究開発課題において、電磁環境保護技術のうち「情報通信機器内EMC対策技術：携帯電話等の小型・高密度・多機能化に伴う機器内の電磁干渉を低減するための設計・対策技術」が、主な研究開発課題と技術要素の一つとされている。

- ・電波政策懇談会 報告書（平成21年7月）

第6章 電波新産業創出戦略において、アプライアンス技術「より高度で、先

進的な電波利用システムを具体化するためのデバイス等の構成要素実装技術を実現」として、低雑音信号処理技術（半導体素子レベルのEMC対策技術）が、電波新産業創出プロジェクトにおいて推進すべき重要研究開発課題の一つとされている。

3. 目標

本研究開発では、無線利用の拡大によりますます周波数資源が逼迫する中、マイクロ波帯からミリ波帯にわたって、無線通信の品質向上と低電力・低出力化を実現するため、ICチップレベルのノイズ抑制を実現するという革新的な技術開発により、①ノイズ源から近接するRF処理部及びアンテナ等への干渉を低減すること、②通信用ICにおける高速信号処理の品質向上、低消費電力化、正常動作の確保を図ることを通じて周波数の有効利用に寄与することを目標とする。

4. 研究開発内容

(1) 概要

本研究開発は、ICチップレベルのノイズ抑制技術を確立し、移動端末等における高速無線伝送に貢献することを目的としている。これを実現するため、ICチップレベルでノイズの発生・伝播・混入の経路とメカニズムの解明、そのための計測ツールの開発、ノイズ対策として半導体と磁性体の異分野技術の協調による革新的な新手法の確立、並びに移動通信端末等における対策の効果検証を含め、チップ高性能化のパフォーマンスの解析を行う。

なお、このような磁性薄膜を用いたチップを集積化してノイズ抑制を検討することは世界初の試みとなるものであり、我が国の国際競争力の基盤技術となりうる。

(2) 技術課題及び到達目標

(技術課題)

ア 高分解能RF電磁界プローブ

現在市販されている近傍電磁界プローブは1次元で空間分解能200 μ m、周波数帯域は3GHz程度である。ICチップ内のノイズ伝播経路として重要な電源・グランド配線のノイズを的確に計測するためには、空間分解能50 μ m、マイクロ波帯の3次元磁界プローブが必要である。また、更に来る65nmプロセス世代のRFIC(Radio Frequency Integrated Circuit)における微細な信号配線のノイズ計測をするためには、空間分解能130nmの高周波電磁ノイズ計測プローブも必要となる。

イ ICチップレベルのノイズ解析

これまでにICチップレベルのノイズ解析を目的に90nmプロセスにより1GHz動作のリング・オシレータとPLLを簡易試作・検討した例があるが、今後、LTE等で1.4Gbps以上の飛躍的な高速伝送が求められることによって、デジタル回路からのノイズが深刻化することやプロセスの微細化が予測され、これまでの検討では不十分である。このため、携帯端末の受信系ノイズ解析を目的に高速移動通信端末用RFICの実回路を模擬した65nmプロセスによる評価用TEG (Test Element Group) チップ、及びその動作評価のための実装基板を設計・試作し、ICチップレベルのノイズの発生・伝播・混入の経路とメカニズムを明らかにする必要がある。

ウ 磁性薄膜を用いたICチップレベルのノイズ対策基盤技術

これまで、ガラス基板上の信号線幅50 μ mの伝送線路に磁性薄膜を集積化して伝導ノイズを6GHzにおいて50dB低減した報告、及びクロック周波数20MHzのマイコンチップのパッケージを開封して膜厚1 μ mの磁性薄膜をスパッタ製膜により集積化し、100MHz帯で近傍磁界ノイズを6dB低減した報告があるが、ICチップとは材料や寸法が大きく異なること、反射損が大きいことや1GHz以上の周波数における実チップ上での磁性薄膜のノイズ抑制効果は不明であったことなど、検討は断片的であった。そのため、磁性薄膜を新規の機能性ノイズ抑制材料とし、ICチップへの集積化プロセス技術を構築するとともに、磁性薄膜の材料特性、配置及び寸法等とノイズ低減量との関係を明確にし、ICチップレベルのノイズ対策基盤技術を創出する必要がある。与干渉回路から放射されるノイズの低減と被干渉回路に混入するノイズの低減がそれぞれ可能であることをノイズの発生・伝播・混入の経路とメカニズムに基づいて系統的に明らかにし、その設計指針を確立することが求められる。

その上で、ICチップレベルのノイズ対策基盤技術を適用した高速移動通信端末用RFICの実回路を模擬した評価用TEGチップにおいて、磁性薄膜によってICチップレベルのノイズを所望のレベルに抑制しつつ高速伝送信号の品質を確保できることを示す必要がある。更に、携帯端末等の高密度実装された無線通信端末の試作機により、本技術の有効性を示すことが必要である。

(到達目標)

ICから放射される特定周波数のノイズを10dB低減するとともに、ノイズ源から近接するRF処理部に混入するノイズを10dB低減し、無線機器内のRF部における高速信号伝送の品質を向上させる。

なお、上記の目標を達成するに当たっての年度毎の目標については、以下の例を想定している。

(例)

<平成22年度>

ア 高分解能RF電磁界プローブの開発

ICチップの極近傍ノイズを帯域1GHz以上、分解能50 μ mで3次元マップ化するため、3次元電磁誘導型アクティブ磁界プローブの回路設計・試作、プローブ実装並びにスキミング技術の研究開発を行う。また、ベアチップ動作を対象として真空(減圧)雰囲気中でICチップ上の回路電流による高周波磁界をサブミクロンの空間分解能で計測可能とするため、磁気力顕微鏡と変調検波方式を組み合わせた高周波電磁ノイズ計測プローブ(High Frequency Magnetic Force Microscope: HF-MFM)を開発し、基本動作の確認を行う。

イ ICチップレベルのノイズ解析と電磁界モデルの創出

携帯端末の受信系ノイズ解析を目的に、無線通信に関わるRFICの実回路、評価ツールとしての機能を搭載した評価用TEGチップ及びその動作評価のための実装基板を設計・試作し、模擬配線レベル、パッケージレベル、並びにベアチップレベルのそれぞれにおいて、伝導ノイズ解析、半導体基板及びそのパッケージを介したクロストーク解析、近傍電磁界解析(イントラ/インターカップリングを含む)及び遠方界解析等を800MHz~5GHz帯において行い、回路の種類や配置の異なる仕様の試作によりノイズの発生・伝播・混入の経路とメカニズムに関するデータを蓄積するとともに、無線装置に共通的な電磁干渉抑制設計のためのICチップレベルモデル抽出技術を提案する。低ノイズ化に反映可能な知見を得て、次年度のTEGチップ試作に反映させる。

ウ 磁性薄膜を用いたICチップレベルのノイズ対策基盤技術の創出

ICチップ上及びパッケージ上へ磁性薄膜を集積化するためのプロセスを構築する。薄膜の製法と適用先の形状・物理的性質との相性を勘案し、ICチップではパッシベーション膜上に合金・グラニュー膜(スパッタ法)を集積化し、パッケージ上ではリードフレーム並びにインターポーザヘフェライトめっき膜等(マスクめっき法)を集積化するためのプロセスを開発する。また、微粒子膜も候補材料とし、微粒子配合インクの開発とインクジェット法等によるパターン化プロセスを開発する。磁性薄膜プロセス後にICチップが正常動作することを確認する。以上により、次年度に磁性薄膜を装荷したノイズ抑制素子を試作するための準備を整える。

<平成23年度>

ア 高分解能RF電磁界プローブの開発

3次元電磁誘導型アクティブ磁界プローブの改良試作と性能確認を行う。HF-MFMについてDC/RF接続端子実装ベアチップ基板ホルダの開発、真空チャンバの低ノイズ化対策等を行い、TEGチップのRF極近傍ノイズを分

解能50nmで計測可能であることを確認する。

イ ICチップレベルのノイズ解析と電磁界モデルの創出

携帯端末の受信系ノイズ解析を目的に、受信系、送信系並びにデジタル回路間の電磁干渉を総合的に模擬可能で、かつ評価ツールとしての機能も搭載したTEGチップとその動作評価のための無線装置用実装基板を設計・試作する。そして、模擬配線レベル、パッケージレベル並びにベアチップレベルのそれぞれにおいて、伝導ノイズ解析、半導体基板及びそのパッケージを介したクロストーク解析、近傍電磁界解析（イントラ／インターカップリングを含む）及び遠方界解析等を行い、ノイズの発生・伝播・混入の経路とメカニズムを解析する。これらに基づき、ICチップのノイズを電磁界解析するためのノイズ源モデルを考案する。

ウ 磁性薄膜を用いたICチップレベルのノイズ対策基盤技術の創出

TEGチップ上及びパッケージ上へ微粒子膜並びに合金・グラニューラ膜を集積化し、損失発生量と薄膜寸法、配置及び材料特性との関係を実験的に明らかにし、磁性薄膜によりノイズ抑制が可能であることを実証する。

<平成24年度>

ア 高分解能RF電磁界プローブの開発

2種類のRF電磁界プローブについて効率的測定のための総合パフォーマンス改良を行い、性能を確認してプローブ開発を完了する。本プローブによるICチップレベル近傍電磁界測定について、標準化提案のための課題を抽出する。

イ ICチップレベルのノイズ解析と電磁界モデルの創出

前年までに解析したICチップレベルのノイズの発生・伝播・混入の経路とメカニズムを確認するとともに、高速伝送信号の品質を評価するためのTEGチップと実装基板を設計・試作し、検証実験を行う。そして、電磁干渉抑制設計のためICチップレベルのモデル抽出技術を確立する。

ウ 磁性薄膜を用いたICチップレベルのノイズ対策基盤技術の創出

TEGチップを用いてノイズ抑制量と薄膜寸法、配置及び磁性薄膜の材料特性との関係を検討し、磁性薄膜によりTEGチップ上で放射される特定周波数のノイズを10dB低減するとともにRF処理部に混入するノイズを10dB低減できることを確認する。そして、電磁干渉抑制設計のため、磁性薄膜を集積化したICチップ並びにパッケージレベルのモデル抽出技術を考案する。

エ ICチップレベルのノイズ対策基盤技術の評価・実証

本研究開発によるICチップレベルの低ノイズ化技術を無線通信機器へ適用する上での課題を抽出し、イ項で試作する低ノイズ半導体素子を搭載したモジュール、もしくはボードレベルでの無線通信端末試作と最適構造の検討を行う。

この際、エラーレートを基本的指標として、RF部における高速信号伝送の品質を評価する。

<平成25年度>

ア 高分解能RF電磁界プローブの開発

本研究開発による電磁界プローブを評価ツールとしたICチップレベル近傍電磁界測定について、適用周波数範囲を明確にするための研究を行い、標準化提案の検討を行うとともに、準ミリ波帯以上の測定に発展させるための検討を行う。

イ ICチップレベルのノイズ解析と電磁界モデルの創出

ノイズ源の電磁界モデルについて、適用周波数範囲を明確にするための研究を行い、標準化提案の検討を行うとともに、準ミリ波帯以上の解析に発展させるための検討を行う。

ウ 磁性薄膜を用いたICチップレベルのノイズ対策基盤技術の創出

半導体素子から放射される特定周波数のノイズ並びにノイズ源から近接するRF処理部に混入するノイズを所望の値（ただし10dB以下）だけ低減するための薄膜電磁ノイズ抑制体の設計指針を確立する。また、磁性薄膜を装荷したICチップ並びにパッケージレベルの電磁界モデルの作成指針を確立する。

エ ICチップレベルのノイズ対策基盤技術の評価・実証

本研究開発によるICチップレベルのノイズ対策基盤技術によって、高速信号伝送の品質が向上することを実証する。

本研究開発によるノイズ対策基盤技術を適用した半導体素子を搭載した携帯端末、もしくは携帯端末と同等に高密度実装された無線通信端末を試作し、本技術の有効性を明示的に示す。

最後に本研究の成果と波及効果をまとめる。

5. 実施期間

平成22年度から平成25年度までの4年間

6. その他

(1) 提案及び研究開発に当たっての留意点

提案に当たっては、本基本計画書に記されている目標に対する達成度を評価することが可能な具体的な評価項目を設定し、各評価項目に対して可能な限り数値目標を定めて、提案すること。

本研究開発による電磁界プローブを評価ツールとしたICチップレベル近傍

電磁界測定並びにノイズ源の電磁界モデルについて、標準化提案を目指すこと。
また、その有効性あるいは汎用性とその範囲について明記すること。

研究開発の実施に当たっては、関連する要素技術間の調整、成果の取りまとめ方等研究開発全体の方針について幅広い観点から助言を頂くとともに、実際の研究開発の進め方について適宜指導を頂くため、電波の有効利用に関する学識経験者、有識者等による学術横断的な研究開発運営委員会等を開催する等、外部の学識経験者、有識者等を参画させること。

また、本研究開発において実用的な成果を導出するための共同研究体制又は研究協力体制について、研究計画書の中にできるだけ具体的に記載すること。

(2) その他

応募者は、本研究開発によるICチップレベルのノイズ対策基盤技術について、終了後3年以内の実用化を目指すとともに、本研究開発で確立した技術の普及啓発活動を実施するなど、実用に向けて必要と思われる研究開発課題への取組も行い、その活動計画・方策については具体的に提案書に記載すること。