

# センサーチップの基盤となるマイクロワット級集積回路の研究開発 (101501001)

## Micro-watt Class Integrated Circuits for Constructing Sensor Chips

### 研究代表者

佐野栄一 北海道大学

Eiichi Sano Hokkaido University

### 研究分担者

池辺将之<sup>†</sup> 雨宮好仁<sup>†</sup>

Masayuki Ikebe<sup>†</sup> Yoshihito Amemiya<sup>†</sup>

<sup>†</sup>北海道大学

<sup>†</sup>Hokkaido University

研究期間 平成 22 年度～平成 24 年度

## 概要

サブスレッショルド領域の非線形性を用いた直接検波回路、サブスレッショルド動作バイアス回路を用いたオフセットなし高利得アンプ、パルス幅変調方式クロック・データ再生回路、サブスレッショルド動作デジタル回路を最大限に活用した時間軸領域 A-D 変換方式などの新しい回路技術を導入し、ウェークアップ受信機と A-D 変換器について消費電力 10  $\mu\text{W}$  以下を達成するとともに、メタマテリアル技術を活用した小型アンテナを実現した。

## 1. まえがき

今後の社会を支える情報通信技術の重要な柱としてセンサーネットワークが注目されている。しかしながら、センサーネットワークが社会に浸透するためには、経済や社会制度上の課題のほか、システム化技術、ハードウェア技術とも克服すべき課題が山積している。ハードウェア技術において最大の課題は消費電力である。将来的には膨大な数のセンサーが敷設されると予想され、それらセンサーの保守を行うことは困難になると考えられる。さらに、保守が困難な環境下に敷設されるセンサーの有用性は極めて大きい。このようにセンサーをメンテナンスフリーで動作させるためには、究極的には太陽光、熱、振動などの自然エネルギーを利用するエナジーハーベスト技術を適用する必要があるが、当面、小型電池により 10 年間の稼働を想定すると、無線インターフェースを含めて 10  $\mu\text{W}$  以下の低消費電力性が必須となる。

この消費電力条件を課した場合、送信に必要な電力の制約のためセンシング情報を常時送ることは困難である。このため、タイマーを内蔵して自ら定期的にセンシング情報を送るという間欠動作センサーが通常用いられる。しかしながら、この方式では多数センサーからの送信の衝突を回避するために MAC プロトコルを必要とするため、MAC プロセッサの消費電力低減が課題となる。本研究開発では、ウェークアップ方式オンデマンド型センサーを対象として要素回路の低電力化技術の確立を目的とした。

## 2. 研究開発内容及び成果

無線センサーの構成を図 1 に示す。本研究開発においては、センサーチップを構成する主要要素回路として、ウェークアップ受信機、A-D 変換器、送信機、ならびにアンテナを対象とした。ISM バンド利用を前提として、搬送波周波数を 2.4 GHz とした。多くのセンサーは低ビットレートで十分なため、ベースバンド信号を 100 kbps とした。送信機オン率を 1/1000 と想定して送受合計で消費電力が 10  $\mu\text{W}$  以下とすることを目標にした。各要素回路に関する研究開発成果の概要を以下に示す。

### 2.1 ウェークアップ受信機

ウェークアップ信号をパルス幅変調(PWM)として、検波器、高利得アンプ、クロック・データ再生回路(CDR)によ

りウェークアップ受信機を構成した。検波器と高利得アンプの回路構成を図 2 に示す。この回路において、差動オペアンプは 1 nA 程度にバイアスされており、オペアンプの 0 dB 遮断周波数は数 10 Hz となる。すなわち、直流から 0 dB 遮断周波数までは帰還が働き、検波器と高利得アンプの出力は参照電圧  $V_{CM}$  に固定される。一方、高周波においては帰還が動作しないため、信号が検波あるいは増幅される。スレッショルド電圧バラツキなどに起因する出力オフセット電圧がないため、コンパクトに多段直結が可能となった。

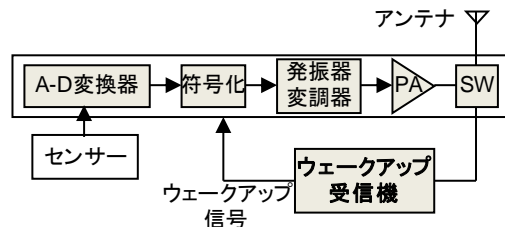


図1. センサーの構成

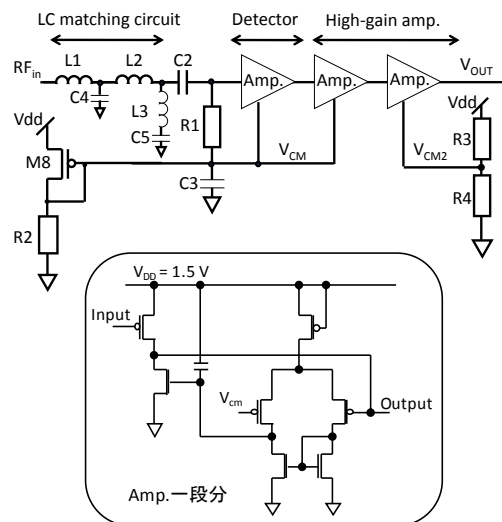


図2. 検波器、高利得アンプ

0.18  $\mu\text{m}$  CMOS を用いて検波器・高利得アンプの設計試作を行い、受信感度 $-47.2$  dBm、消費電力 $6.8$   $\mu\text{W}$  の特性を得た。PWM の特徴を活用して、ビットレートに依存しない全デジタル型 CDR を考案し、試作の結果、エラーフリー動作を確認した。消費電力は $15.7$   $\mu\text{W}$  であった。なお、本 CDR は信号未入力時にはスリープ状態となる。

### 2.2 A-D 変換器

図3に示すような2段階シングルスロープ A-D 変換器と、小面積な時間量子化器 (TDC: Time to Digital Converter) を組み合わせたハイブリッド型 A-D 変換器(ADC)を提案した。2 段階のシングルスロープ A-D 変換を行い、その量子化誤差を TDC で更に変換する構成である。線形性を考慮して容量バンクの構成を最適化し、貫通電流を防ぐためのダイナミック型コンパレータの採用などにより、100 ksp/s、消費電力 $5.1$   $\mu\text{W}$  の 11 ビット ADC を実現した。Figure-of-Merit は $65.7$  fJ/conversion-step であり、回路サイズは $150$   $\mu\text{m} \times 270$   $\mu\text{m}$  と小さい。

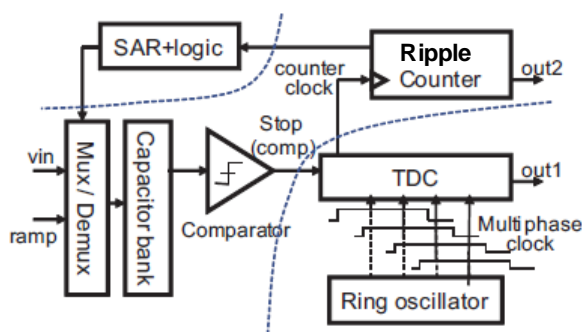


図3. A-D変換器の構成

### 2.3 送信機

クロスカップル型電圧制御発振器(VCO)と OOK 変調器を縦積み構成とし、D 級パワーアンプを用いることにより、搬送波周波数 $2.4$  GHz、出力 $-4.56$  dBm、消費電力 $1.96$  mW の動作を確認した。

### 2.4 アンテナ

無線センサーを小型化するためにはアンテナの小型化が必須である。しかしながら、アンテナを小型化すると利得が低下する。メタマテリアルの一種である右手/左手複合伝送線路において、左手ブランチを用いることにより、右手ブランチと比較して周波数が低下する。周波数を固定して考えれば、左手ブランチを用いることにより小型化が可能となる。この考え方に基づいて、プリント基板上のメタル配線、チップコンデンサ、チップインダクタにより右手/左手複合型ダイポールアンテナの設計試作を行った。その結果、利得がほぼ $0$  dBi、理論(Harrington)限界よりわずか $1$  dB 低い利得を達成できた。

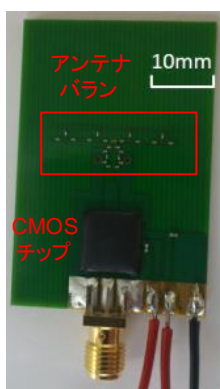


図4. 送信モジュール外観

右手/左手複合型ダイポールアンテナと CMOS IC により構成した送信機モジュールの外観写真を図4に示す。

なお、検波器・高利得アンプと CDR を接続したウェークアップ受信機についてエラーフリー動作が確認できておらず、送受信伝送実験には至っていない。

## 3. 今後の研究開発成果の展開及び波及効果創出への取り組み

健康管理アプリなど医療関連センサーの開発・商品化が活発となってきている。これらのセンサーは Bluetooth など既存の通信方式を用いている。しかしながら、一回の充電で使用できる期間が短く、普及への障害となると考えられる。リアルタイム性が必須ではないセンサーについては、本研究開発で対象としたウェークアップ方式は極めて有効である。また、ここで用いた PWM 信号は同一周波数帯の Wi-Fi システムからの干渉に強い可能性もある。今後、送受信伝送実験を行うことにより、干渉性を評価し、実用技術として完成度を高めたい。

## 4. むすび

小型電池による 10 年間稼働を実現するための無線センサー要素回路の研究開発を行った。その結果、サブスレッショルド領域を活用した検波器・高利得アンプと PWM CDR から成るウェークアップ受信機、時間軸領域 A-D 変換器、送信機について、目標をほぼクリアする性能を得るとともに、メタマテリアル技術を活用した小型アンテナを実現した。

### 【誌上发表リスト】

- [1] K. Takahagi, H. Matsushita, T. Iida, M. Ikebe, Y. Amemiya, and E. Sano, "Low-power wake-up receiver with subthreshold CMOS circuits for wireless sensor networks," *Analog Integrated Circuits and Signal Processing*, Vol. 75, No. 2, pp. 199-205 (25 July 2012)
- [2] K. Takahagi, Y. Otsu, and E. Sano, "2.45 GHz high-gain electrically small antenna with composite right/left-handed ladder structure," *Electron. Lett.*, Vol. 48, No. 16, pp. 971-972, (12 March 2012)
- [3] K. Kim, M. Ikebe, J. Motohisa, and E. Sano, "A 11b 5.1 $\mu\text{W}$  Multi-Slope ADC with a TDC using Multi-Phase Clock Signals," *IEEE International Conference on Electronics, Circuits, and Systems (Seville, Spain)*, pp. 512-515 (11 Dec. 2012)

### 【申請特許リスト】

- [1] 佐野栄一、雨宮好仁、クロックデータ再生回路及びそれを含む無線モジュール、PCT 国際出願、平成 23 年 2 月 17 日。
- [2] 池辺将之、近藤亮、アクティブコモンモードフィルタ、日本、平成 23 年 7 月 13 日。
- [3] 池辺将之、積分型 AD 変換装置および CMOS イメージセンサ、日本、平成 24 年 2 月 17 日。

### 【受賞リスト】

- [1] 高萩和宏、電子情報通信学会エレクトロニクスソサイエティ学生奨励賞、“低電力ウェークアップ受信器のための PWM 復調回路:試作と測定”、平成 24 年 9 月 12 日。
- [2] 和田敏輝、電子情報通信学会エレクトロニクスソサイエティ学生奨励賞、“60 GHz 帯ディテクタの設計・評価”、平成 25 年 3 月 20 日。

### 【本研究開発課題を掲載したホームページ】

<http://www.rciqe.hokudai.ac.jp/thz/index.html>