

# 光ルータ用 Si/III-V 族半導体ハイブリッド光集積回路の研究開発 (102103009)

## Development of Si/III-V Hybrid Photonic Integrated Circuit toward Optical Router

### 研究代表者

西山 伸彦 東京工業大学 電気電子工学専攻

Nobuhiko Nishiyama, Tokyo Institute of Technology, Dept. of Electrical and Electronic Engineering

研究期間 平成 22 年度～平成 24 年度

### 概要

本研究開発課題では、直接貼り付け法を用いた Si/III-V 族半導体ハイブリッドデバイスによる光集積回路を作製し、光ルータに必要な機能を実現することを目的とした。そのために、超高速ルータの実現に必要な様々な光利得デバイスを含む大規模光回路をシリコンプラットフォームの上に一括して集積するための、Si/III-V 族半導体ハイブリッドデバイス設計作製指針の確立を行った。それぞれの光利得を必要とする機能素子に対し別構造の III-V 族半導体を接合することは困難であり、これを回避するため種類の III-V 族半導体構造を利用しながらシリコン側導波路の工夫によりハイブリッド素子の特性を変更することにより、複数の光素子の一括形成技術を実現することを目指した。

### 1. まえがき

インターネットを中心としてデータ通信量の増大に対応するため、ルータの高速化が求められている。これを解決する方法として、送られてくる光信号をなるべく電気信号に変換せずに処理をする光ルータが開発されている。しかしながら、現在は多くの個別部品を組み合わせることで実現しており、将来に向けてそれを小型化、集積化、究極にはワンチップ化することが求められる。本研究開発課題では、直接貼り付け法を用いた Si/III-V 族半導体ハイブリッドデバイスによる光集積回路を作製し、光ルータに必要な機能を実現することを目的とした基盤技術を開発した。特に、III-V 族半導体のウェハ内部構造をほとんど変更せずに、シリコン側の導波路構成を工夫することにより、光閉じ込めなどのパラメータを調整し、各機能デバイスに適応した特性を実現するグローバルハイブリッド光デバイス構造の提案を目指した。

### 2. 研究開発内容及び成果

光ルータを一括で集積するためにはハイブリッド半導体光増幅器 (SOA) を一部分とする波長変換器やインライン増幅器といった機能を実現する必要がある。その場合、それぞれの部品には異なった利得特性が要求される。これらの特性を決定する重要なパラメータが SOA 内の活性層への光閉じ込め係数であり、SOA の層構造を変更することで操作することが可能である。しかし、ハイブリッドデバイスにおいて層構造を変更するという事は、複数回の貼り付けを行うことと同等であり、高精度なアライメントが求められや集積性を制限する要因となる。そこで、Si 導波路幅を可変とすることによってハイブリッド SOA の利得特性を制御する方法を提案した。

図 1 に Si 導波路上ハイブリッド SOA の層構造を示す。使用する波長は  $1.55\mu\text{m}$  を想定し、InP 系で一般的な活性層である GaInAsP 多重量子井戸 (MQW) を利得媒体として利用する。電流狭窄構造としては、狭窄幅制御性が良く屈折率制御が可能である AllInAs 酸化狭窄構造を用いるハイブリッド光増幅器構造を提案した。メサ構造を形成し、活性層上に作製した AllInAs 層を水蒸気雰囲気中で加熱することにより、AllInAs 層が側壁側より選択的に酸化層に変化していく。そのため、時間を制御することにより、中心部分の非酸化領域の幅を変化させることができる。また、接合界面から活性層へのダメージを低減することが可能な超格子構造も挿入している。

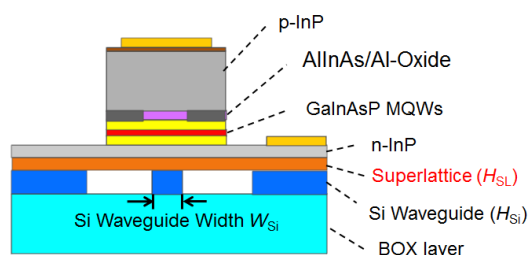


図 1 AllInAs 酸化狭窄型 GaInAsP/SOI ハイブリッド SOA モデル

図 2 にこの構造を用いて、Si 導波路幅を変化させたときの量子井戸への光閉じ込め係数の計算結果を示す。

Si 導波路幅を変化させることにより光モード分布が上下するため、適切に Si の膜厚、超格子を導入することで同じ III-V 族半導体を使用しながら 2.5 倍の範囲で光閉じ込め係数を可変することができることが分かった。これは、SOA の長さにもよるが、飽和出力を  $10\text{mW}$  以上から数  $\text{mW}$  以下まで可変できることを意味している。

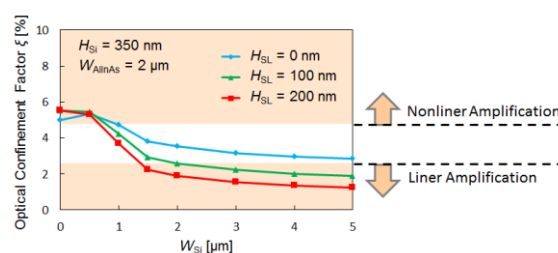


図 2 Si 導波路幅-光閉じ込め係数特性

次に、加工プロセスの確立について述べる。III-V 族半導体と SOI 基板の貼り付けはプラズマを用いた表面活性化接合技術を用いた。これについて貼り付け前の加工プロセスで生じたパーティクルをどのようにして貼り付け前に除去を行うかがポイントとなる。貼り付け前の加工プロセスとしては、SOI 基板側にフォトリソを塗布し、電子ビーム描画によりパターンを転写した後、ドライエッチングによりシリコン層をエッチングしレジストを剥離する。ここで、通常の洗浄プロセスに加え、新たにメガソニック噴射およびブラシ洗浄を導入した。結果として、2 インチ (使用する装置上の問題でこの大きさまでしか加工でき

ない) ウェハでの貼り付けに成功した(図 3)。薄膜面積は 90%以上、ボイド領域を 3%以下まで削減することができ、良好な GaInAsP 薄膜を得ることに成功した。

図 4 には、貼り付け部分を拡大した SEM 図を示すが、空孔なくシリコン導波路に III-V 族半導体層が貼り合されていることがわかる。これらの結果より一番の課題であった大面積貼り付け技術を確立した。

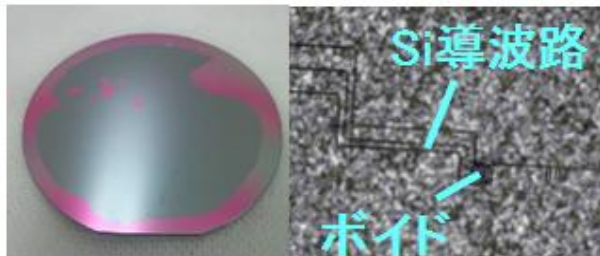


図 3 薄膜化ウエハ表面

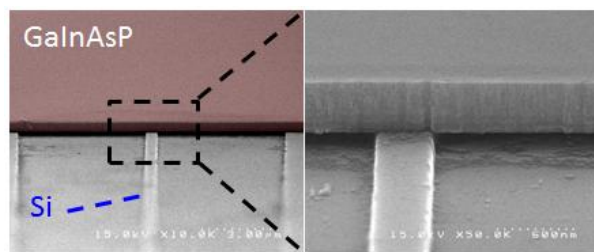


図 4 Si 導波路上 SOA パターン

最後に、これらの技術を用いてハイブリッドレーザの実現を目指した。

その光出力-電流特性を図 5 に示す。ストライプ幅  $9\mu\text{m}$ 、共振器長  $840\mu\text{m}$  のデバイスにおいて、しきい値電流が  $64\text{mA}$  となり、しきい値電流密度に換算すると  $850\text{A}/\text{cm}^2$  となる。このしきい値電流密度は、InP 系ハイブリッドレーザにおいて世界最高性能値を示しており、表面活性化接合の有効性を示すことができた。

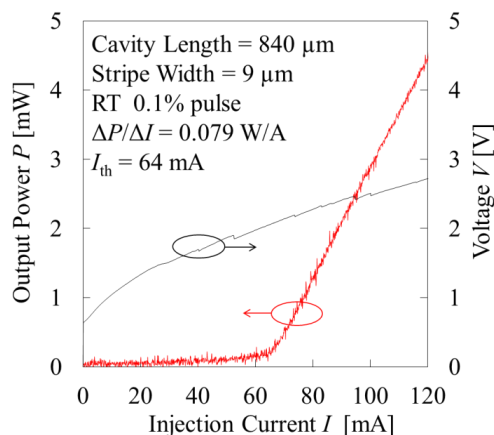


図 5 光出力-電流特性

### 3. 今後の研究開発成果の展開及び波及効果創出への取り組み

今後は、本研究開発をベースとして、多機能の集積化を目標に研究を行っていく。同時に、本研究開発のキー技術であるハイブリッド構造を利用した光デバイスの信頼性

を証明する必要がある、デバイス寿命試験等を進めていく予定である。

また、本提案の応用範囲の拡大を考え、光スイッチと組み合わせ、電子回路におけるプログラマブルゲートアレイのような動的再構成が可能な、光機能回路実現への展開も目標におき、研究を継続する。

### 4. むすび

光ルータの集積化を目指して、Si/III-V 族半導体ハイブリッド構造を利用した集積構造の提案と加工プロセスの確立を行った。同一の III-V 族半導体構造を用いながら、Si 導波路の幅を可変するだけで、SOA 素子の特性を可変できることを示した。また、表面活性化接合を用いた貼り付けとその後の加工プロセスの確立を行うことにより、低いしきい値電流密度を有するハイブリッドレーザの実現に成功した。

#### 【誌上発表リスト】

- [1] R. Osabe, T. Okumura, S. Kondo, N. Nishiyama, S. Arai, "Bonding and PL Characteristics of GaInAsP/InP Membrane Structure on SOI waveguides by Surface Activated Bonding," Jpn. J. of Appl. Phys., vol. 50, no. 8, pp. 088005-1-088005-2, (2011 年 8 月)
- [2] Y. Hayashi, R. Osabe, K. Fukuda, Y. Atsumi, J. Kang, N. Nishiyama, and S. Arai, "Low Threshold Current Density Operation of a GaInAsP/Si Hybrid Laser Prepared by Low-Temperature N<sub>2</sub> Plasma Activated Bonding," Jpn. J. of Appl. Physics, Vol. 52, No. 6, p. 060203, (2013 年 5 月)
- [3] Y. Hayashi, K. Fukuda, R. Osabe, J. Suzuki, Y. Atsumi, J. Kang, N. Nishiyama, and S. Arai, "Design of multi-functional GaInAsP/Si hybrid semiconductor optical amplifier array with AlInAs-oxide current confinement layer," The 25th International Conference on Indium Phosphide and Related Materials (IPRM 2013), TuD3-4, (2013 年 5 月)

#### 【本研究開発課題を掲載したホームページ】

<http://www.pe.titech.ac.jp/AraiLab/>