

化合物半導体薄膜の極微細両面加工による Si 基板上 THz トランジスタの研究開発 (101603009)

Research and development of THz transistors on Si-substrate by ultra-fine double-sided processing of compound semiconductor thin film

研究代表者

宮本恭幸 東京工業大学
Yasuyuki Miyamoto Tokyo Institute of Technology

研究分担者

金澤徹†
Tohru Kanazawa†
†東京工業大学
†Tokyo Institute of Technology

研究期間 平成 22 年度～平成 24 年度

概要

シリコン基板上への化合物半導体導入手法である薄膜貼りあわせでは薄膜両面の微細加工で更なる高性能化が期待できる。そこで、ヘテロ接合バイポーラトランジスタ(HBT)と MOSFET で微細化と両面加工による高電流密度化と高速化を行うことによる Si 基板上高速トランジスタを目的として研究した。HBT では Si 基板上で 500GHz 台の遮断周波数と、55nm 幅エミッタでの 5MA/cm² の高電流密度を得た。MOSFET では 2A/mm の電流駆動能力を達成し、遮断周波数としては 100GHz を超える結果を得た。

1. まえがき

集積回路のさらなる進歩の為にシリコン基板上への化合物半導体の導入が期待されている。その手法として化合物半導体薄膜の貼りあわせがあるが、同時に薄膜の両面に微細加工をすると更なる高性能化が期待できる。

そこでヘテロ接合バイポーラトランジスタ(HBT)では極限までのコレクタ容量低減をエミッタ微細化による高電流密度化と組み合わせて高速動作を、MOSFET では裏面電極による高ソース電子濃度で高電流密度を実現し、結果として THz 帯で動作する高速トランジスタを Si 基板上に形成することを目的として、本研究は行われた。

2. 研究開発内容及び成果

Si 基板上に転写された薄膜化した HBT 層構造に対して、その両面から電子ビーム露光による加工を行い、数百 nm 幅のエミッタとコレクタを上下位置合わせして HBT を作製した。作製された HBT の断面像を図 1 に示す。素子の下部には本来シリコン基板があるが、この観察範囲には入っておらず、BCB 層内に埋め込まれた形で HBT 構造が形成されていることが判る。裏面側に形成された幅 500nm のコレクタ電極と表面側のエミッタ電極との誤差は 100nm 以下であり、薄膜化プロセスの有無による誤差の増大は見られなかった。次に作製した素子のマイクロ波特性を図 2 に示す。遮断周波数は 500GHz を超えた。

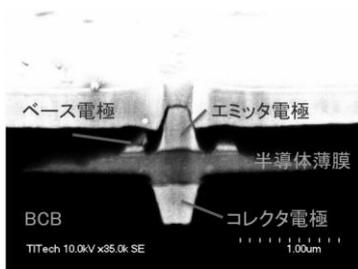


図 1 Si 基板上で化合物半導体薄膜の両面から加工して作製した HBT の断面 SEM 像

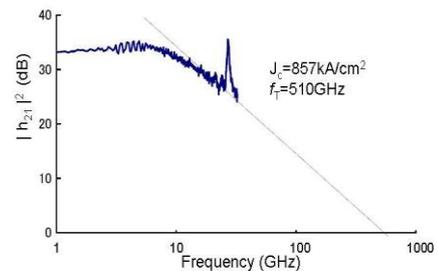


図 2 Si 基板上で化合物半導体薄膜の両面から加工して作製した HBT のマイクロ波特性

HBT において、高電流密度の為に、電子供給量能力を持つ高濃度化したエミッタおよびカーク効果を抑制する為に薄層化しかつドーピング濃度の高いコレクタを用いる必要がある。またエミッタ幅を狭くするには、エミッタ層の高さを抑える必要がある。そこで、30nm 厚 InP エミッタ(キャリア濃度 5x10¹⁸cm⁻³)、15nm 厚 InGaAs ベース層(キャリア濃度 5x10¹⁹cm⁻³)、75nm 厚 InGaAs コレクタ(キャリア濃度 7x10¹⁶cm⁻³)の層構造を用い、最小幅 80nm の TiW をエミッタ電極として形成したあと、ウェットエッチングでエミッタメサを形成した。エミッタ電極幅 80nm の素子の断面像を図 3 に示す。

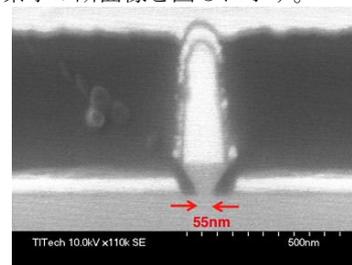


図 3 5MA/cm² の電流密度を実現した 55nm 幅エミッタを持つ HBT の断面 SEM 像
エミッタ電極幅に対して実際のエミッタとして働く接合部での幅は 25nm 減った 55nm であることが確認できる。

エミッタ幅の縮小により流せる最大電流密度は増えていき、当初目標としていた $4\text{MA}/\text{cm}^2$ を上回る $5\text{MA}/\text{cm}^2$ での動作を確認した。

Si 基板上に形成した III-V MOSFET における全面裏面電極の形成においては、ゲート長 $2\mu\text{m}$ において最大ドレイン電流 $880\text{mA}/\text{mm}$ 、伝達コンダクタンス $450\text{mS}/\text{mm}$ となり、裏面電極によりそれぞれ 23%、60% 向上したことが確認し、またアクセス抵抗は $0.75\Omega\text{mm}$ となり、従来に較べて約 3 割にアクセス抵抗が縮小した。しかし、理論計算上はほぼ 2 倍程度あがることが予想されていた。したがって裏面電極による効果がそれほど強くでない。

そこで、InGaAs チャンネルの上部にチャンネル直上のみ除去する強くドーピングした InP 層を形成し、ここから電子注入を行うこととした。InP 層のエッチングには異方性をもつエッチャントを用いて、当初に作製したチャンネル開口部分よりも狭いチャンネルを形成した。図 4 に作製した構造の断面 SEM 像を示す。50 nm 長のチャンネルが形成されたことが確認できた。I_D-V_D 特性を図 5 に示す。ゲート電圧は 10 nm とゲート絶縁膜である Al₂O₃ 層が厚いことから 3V と高く印加したものの、ドレイン電圧 0.5V において、 $2.4\text{A}/\text{mm}$ という今までにない高い値を得た。ドレイン電圧 1V においてドレイン電流は $3\text{A}/\text{mm}$ を超えるこの値は研究の最終目標値を 1.5 倍上回っており、InP エピタキシャル層を高濃度にするだけであり、裏面電極を使う構造に較べて、非常に簡便である。ソース/ドレイン抵抗は、 $0.093\Omega\text{mm}$ と見積もられ、ソース電極片側分では $0.047\Omega\text{mm}$ となり ITRS で要求される値よりも小さくなったことが確認された。また同じ構造を T ゲート構造と共に半絶縁性基板上に形成し、マイクロ波特性より遮断周波数が 100GHz を超えることを確認した。

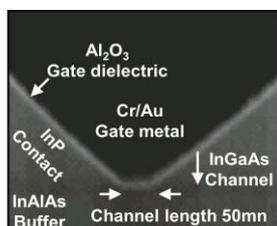


図 4 InP ソースを導入したチャンネル長 50nm InGaAs MOSFET の断面 SEM 像

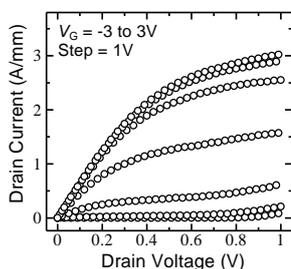


図 5 InP ソースを導入したチャンネル長 50nm InGaAs MOSFET の I-V 特性

3. 今後の研究開発成果の展開及び波及効果創出への取り組み

本研究課題で得られた結果は、高い電流密度を微細化した InGaAs MOSFET で実現したことに最も大きなインパクトが有る。そこでその応用は、集積回路中に入って、その高速化を促進することが、最も有望である。また、この InGaAs MOSFET の集積回路への導入は、同時に移動度

が高い III-V 材料によるトランジスタが大量かつ安価に利用可能になるということであり、高速トランジスタが大きなメリットを持つ通信用のアナログ回路においても、InGaAs MOSFET を持つデジタル・アナログ混載回路が安価に供給可能となる道を開き、今後の周波数資源枯渇によるより広帯域な通信を実用化するにあたり、大きく役に立つと考えられる。

4. むすび

Si 基板上に化合物半導体デバイスの活性層部のみを薄膜として張り合わせるとともに、薄膜活性層部の両側に電氣的コンタクト部分を形成するという構造については HBT、InGaAs MOSFET の両方においてデバイス動作までを実現した。HBT において数十 nm 幅のエミッタを形成し、 $4\text{MA}/\text{cm}^2$ 以上の高い電流密度を実現するという数値目標も達成した。知る限り 55nm 幅という狭い幅はトランジスタ動作したバイポーラトランジスタとして世界最小である。InGaAs MOSFET においても、InP ソースを用いることで、ドレイン電圧 0.5V において $2.4\text{A}/\text{mm}$ 、1V において $3\text{A}/\text{mm}$ という世界最高の電流密度を達成した。目標値であったドレイン電圧 1V での電流密度 $2\text{A}/\text{mm}$ に対して 1.5 倍以上高い値を達成した。

【誌上发表リスト】

- [1] Y. Yamaguchi, T. Sagai and Y. Miyamoto, "Fabrication of InP/InGaAs SHBT on Si Substrate by Using Transferred Substrate Process", 9th Topical Workshop on Heterostructure Materials (TWHM2011), 3-5, Gifu, (Aug. 29, 2011).
- [2] Y. Yonai, T. Kanazawa, S. Ikeda, and Y. Miyamoto, "High Drain Current (>2A/mm) InGaAs channel MOSFET at V_D=0.5V with Shrinkage of Channel Length by InP Anisotropic Etching", 2011 IEEE International Electron Devices Meeting (IEDM 2011), 13.3 Washington DC, (Dec. 6, 2011).
- [3] K. Tanaka, and Y. Miyamoto, "InP HBT with 55-nm-wide Emitter and Relationship between Emitter Width and Current Density", 24th Int. Conf. Indium Phosphide and Related Materials (IPRM2012), We-1E.1, Aug., Santa Barbara, CA, (Aug. 29, 2012)

【申請特許リスト】

- [1] 宮本恭幸・金澤徹、電界効果トランジスタ、日本、平成 22 年 9 月 13 日
- [2] 宮本恭幸・米内義晴・金澤徹、電界効果トランジスタ、日本、平成 23 年 7 月 28 日
- [3] 宮本恭幸・金澤徹・柏野壮志、電界効果トランジスタ、日本、平成 25 年 1 月 9 日

【受賞リスト】

- [1] 米内義晴、IEEE EDS Japan Chapter Student Award、2011 年 2 月 1 日受賞
- [2] 藤松基彦、電子情報通信学会エレクトロニクスソサイエティ学生奨励賞、2012 年 3 月 21 日受賞

【本研究開発課題を掲載したホームページ】

<http://www.pe.titech.ac.jp/Furuya-MiyamotoLab/index.htm>