

高速マルチサンプリング超解像 CMOS テラヘルツイメージングデバイスの研究開発 (151301001)

CMOS Terahertz Imaging Device for High-Speed Multi-Sampling Super Resolution

研究代表者

池辺将之 北海道大学 量子集積エレクトロニクス研究センター
Masayuki Ikebe Hokkaido University RCIQE

研究分担者

佐野栄一 北海道大学 量子集積エレクトロニクス研究センター
Eiichi Sano Hokkaido University RCIQE

研究期間 平成 27 年度～平成 29 年度

概要

テラヘルツセンシングのため、CMOS サブスレッショルド領域の非線形性を用いた直接検波回路、サブスレッショルド動作バイアス回路を用いたオフセットなし高利得アンプなどの新しい回路技術を導入したピクセル回路を開発した。開発ピクセルは3種である。狭帯域高利得パッチアンテナ型 (0.915 THz)、広帯域スロットアンテナ型 (0.85~1.05 THz)、可視光+テラヘルツ受光型 (CMOS センサプロセス) である。同時に、テラヘルツ光に同期した AD 変換器制御とピエゾステージドライバを FPGA 実装し、撮像システムを構築した。超解像テラヘルツ受光を実証した。

1. まえがき

近年、テラヘルツ波による分光分析の特徴を活かした幅広い分野への応用が期待されている。現在は、スキヤニングによる撮像が主流であり、動画対応は難しい。デバイスの2Dアレイ化も検討されているが、画素サイズが大きいため、高解像度化への課題も残る。本研究は、CMOS サブスレッショルド領域を活用したミリ波帯検波技術をテラヘルツ領域まで拡張し、画像センシング技術と適合させ 1k frame/秒、変換効率 20 kV/W、雑音等価電力 50 pW/Hz^{1/2} 撮像情報を基に縦 5×、横 5×の 25 倍の超解像動画出力を実証する。

2. 研究開発内容及び成果

設計を行ったピクセル回路を、全並列形式で読み出し A/D 変換器と接続する形式をとっている。そのため、1枚のフレームは、全て同一のタイミングでテラヘルツ画像を取得できる。これは、動画に優位性を持つグローバルシャッター方式である。ピクセル回路は、テラヘルツ帯(測定: 0.915 THz)において、マイクロストリップ型パッチアンテナから、マッチング回路を通して検波回路に接続される。検波器・増幅器を構成する基本回路は、図 1(上)に示すようにカスコード型ソース接地回路と 1 nA 程度にバイアスされた帰還オペアンプにより構成されている。提案型検波器では、ソース接地回路は搬送波(テラヘルツ波)には完全に追従しないが、MOS トランジスタの電流非線形性により包絡線検波が行われベースバンド信号(テラヘルツ変調波)が復調される。帰還オペアンプの効果でオフセット補正の高利得ベースバンド増幅を可能とする。

0.18 μm CMOS プロセスを用いて試作した テラヘルツイメージング回路のチップ写真を図 1(中)に示す。ピクセルサイズは 215×215 μm であり、回路側面はアレイ用配線が占めている。ピクセル回路の測定結果を図 1(下)に示す(理研@仙台にて測定)。

VDD= 1.5V において、31Hz と 200 Hz 変調のテラヘルツ波 (0.915 THz) の受光に成功した。図 1(下)にピクセルノイズ特性を示す。測定機器を考慮したシミュレーション (Simulation A) と実測結果が一致し、希望通りの設計がなされていることがわかる。テラヘルツ波の Beam profile は、直径 10 mm、Peak 値 = 220 mV の Gaussian 形状で

ある。図 5(a)より、テラヘルツ波周波数=915 GHz、パルスエネルギー=132 nJ/pulse、平均パワー=13.2 μW、アンテナサイズ=78.5×78.5 μm² より、アンテナに照射されたパワーを求めると-53.05 dBm (4.96 nW)となる。

式: Responsibility = Vpp(振幅)/入力パワーから = 51.9 kV/W @0.915 THz を得た。

式: Noise Equivalent Power (NEP)=出力雑音/Responsibility から図 5(b)より、31 Hz 変調で=358 pW/Hz^{1/2}、100 kHz 変調で=42 pW/Hz^{1/2} を達成した。本ピクセル回路は既報告に対して、大きく凌駕した性能を 180 nm CMOS プロセスで実現している。

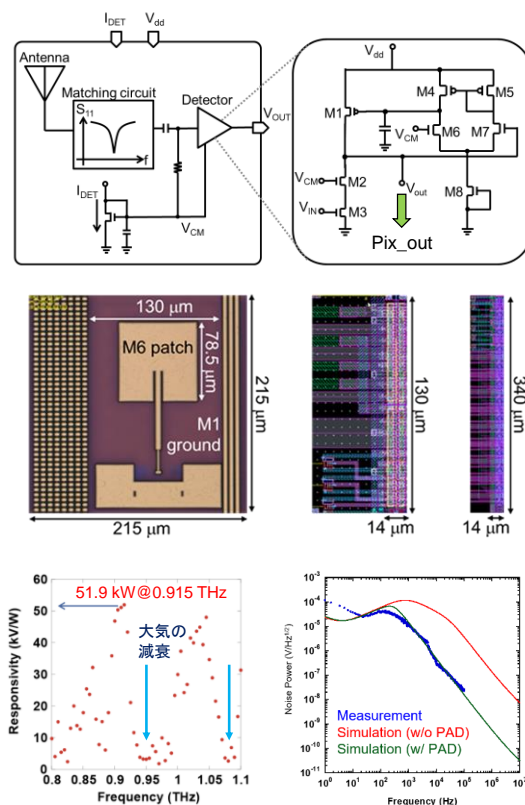


図 1 開発したテラヘルツ画素回路とその特性

1chip 32×32 ピクセル回路に対し、全画素並列読み出し 256×4ch = 1024 個の 12bit A/D 変換器を同時集積した。提案型 A/D 変換回路は、弛張発振器を用いた周波数変調型 A/D 変換器となっている。弛張発振器は、V-I 変換回路と差動アンプからなり、Duty 比 50% のクロック出力を生成する。ピクセルからの出力電圧は、OOK 変調により ON/OFF 状態を繰り返す。弛張発振器は、ON/OFF 状態それぞれの電圧レベルに合わせて発振している。OOK 変調と、カウンタ動作を同期させることで、テラヘルツ波 OFF 状態をカウンタ 1 に積分し、ON 状態をカウンタ 2 に積分する。ON 状態と OFF 状態の差分により、オフセット雑音を除去する相関 2 重サンプリングが実現できる。THz 受光を発振の粗密で表した結果を図 2 に示す。本構成の具体的な実装では、12 bit×4ch@512 kHz のセンサ出力を扱う。48 bit (out) + 9 bit (address) + 10 bit (A/D control) を FPGA Mezzanine Connector (FMC) によって FPGA ボードとセンサボードが接続される。今回、FMC 専用フレキシブルケーブルを同時に開発した。FPGA 内部にて、出力解像度を持つ内部フレームバッファを 2 つ用意し、偶数・奇数フレーム毎に画像出力を切り替えるダブルバッファ方式を採用した。入力画像をシフトしながら内部バッファ上に低解像度画像を描画して、超解像された画像を生成していく。本研究における、テラヘルツカメラ・システム構成は、制御 FPGA ボード+センサボード+ピエゾステージ+ピエゾ制御ボード+ディスプレイ出力 I/F となる。ビームプロファイル画像とピエゾ補間によるビームプロファイル拡大画像を示す (図 4)。

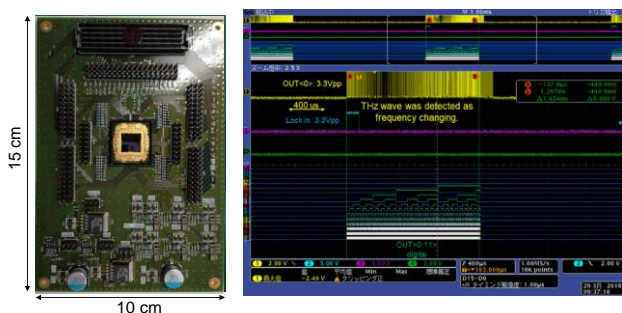


図 2 センサチップ搭載評価ボードと THz 受光 A/D 変換

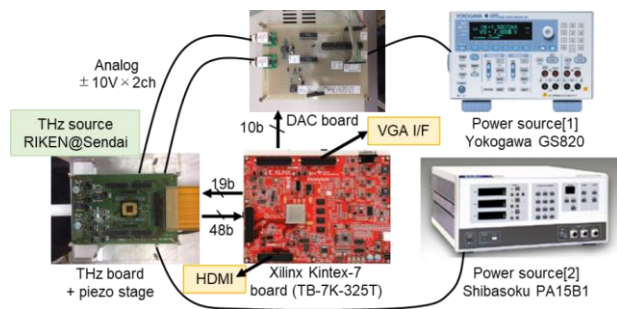


図 3 開発した最終評価システム

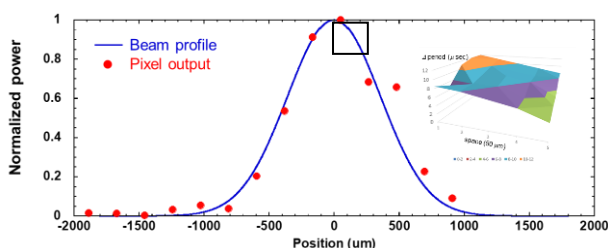


図 4 取得ビームプロファイルと超解像

3. 今後の研究開発成果の展開及び波及効果創出への取り組み

特許出願を行ったテラヘルツ+可視光ピクセルアレイにおいて、CMOS イメージセンサプロセスを用いたチップ搭載の評価ボード作成を進めている。センサタイプはパッチアンテナ型とスロットアンテナ型である。センサアレイは 16×16 ピクセル (5mm 角) であるが、可視光も同時に取得可能であるため、マルチモーダル撮像 (複数の条件を同時に撮像する) のみならず、アライメントなどテラヘルツ測定で難しかった要素を緩和できる。また、本特許は JST のより PCT 出願支援に採択された。JST 新技術説明会にて「テラヘルツ波と可視光を同時に撮像する一体型ピクセル回路」との題目で発表し、本技術活用における共同研究に向けた議論を開始している。

また、設計したピクセル回路には、可視光ピクセルを更に集積する余力があり、各ピクセル対してフィルタを個別に適用することで、テラヘルツ領域もカバーする新規マルチスペクトル撮像を実現することも可能である。テラヘルツ波は水の状態を撮像することができるため医療・農業などの応用範囲が広い。

本研究では、1 画素 + 1 A/D 変換器構成を採用して、32×32 全画素で同一のタイミングであるグローバルシャッタを実現した。これは、CMOS テラヘルツセンサチップ内の同時集積化において、世界初の成果となる。同時に OOK 変調されたテラヘルツ光に同期した検出が可能となる。現在、個別デバイスレベルをアレイ化してカメラ化する試みもなされているが、テラヘルツ検出に即した A/D 変換器の構成とその高集積化が重要課題となっている。今回、本研究センサの測定において多大なる助力を頂いた理研のテラヘルツ光源研究チームと議論させて頂き、ラインセンサに向けた構成や、大規模システム化に更に必要な要素 (大規模になった場合のインターリーブ) などについて具体的な回路構成の検討を行っている。

4. むすび

テラヘルツ光を発生し検出するためには、多くの方法が開発されてきている。室温で動作し、小型・低価格の固体テラヘルツデバイスの実現が切望され、グラフェンなどの新材料やプラズモン共鳴などの新動作原理に基づくデバイスが提案されている。本研究では「アンテナアレイ方式」において、CMOS プロセスを用いたピクセルの設計+インターフェースと超解像を実現した。

【申請特許リスト】

- [1] 池辺将之 佐野栄一、電子回路及びイメージング回路並びに検出/受光方法、日本特願 2017-002089、2017 年 1 月 10 日 (PCT 出願支援決定)
- [2] 池辺将之 内田大輔、A/D (Analog/Digital) 変換回路並びに A/D 変換方法、日本 特願 2016-2837、2016 年 1 月 8 日
- [3] 池辺将之、積分型 AD 変換装置、国際出願 PCT/JP2013/053734、2013 年 2 月 15 日

【受賞リスト】

- [1] 平松 正太、ナ ソクジン、横山 紗由里、池辺 将之、佐野 栄一、映像情報メディア学会年次大会 2017 学生優秀発表賞、“CMOS テラヘルツイメージング用オンチップアンテナの小型化”、2017 年 12 月 12 日