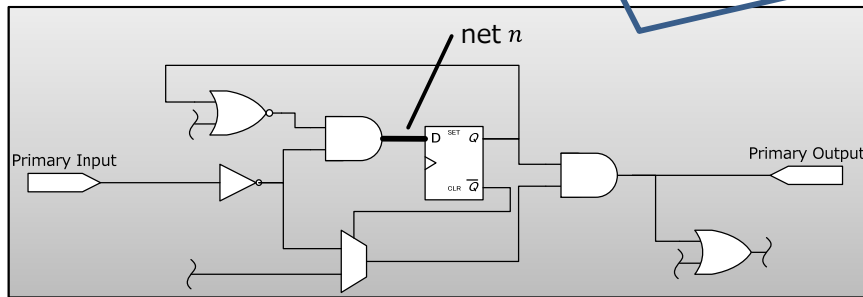


# 設計・製造におけるチップの脆弱性検知手法の研究開発

電子機器のハードウェア上に組み込まれた不正なチップは、製品出荷後に交換・修正することが難しく、その影響は極めて深刻になる可能性があることから、サプライチェーン上の脅威となっている。本研究開発ではハードウェアチップの設計・製造における脆弱性検知手法を確立するとともに、当該技術の社会実装を加速し、サプライチェーン全体のセキュリティ確保に資する。

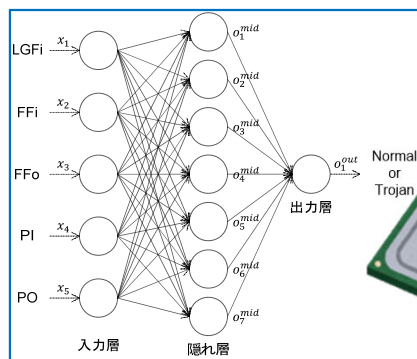
## 課題Ⅰ 回路情報を用いて不正回路を検知する技術

課題ア) 不正回路について、その種類及び機能を明確化した上で、不正回路と不正でない回路とを識別するための特徴量を抽出する。

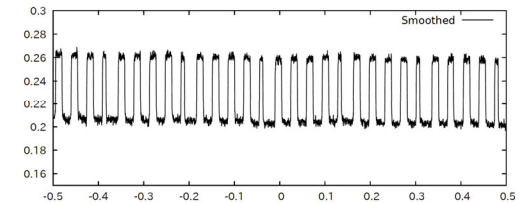
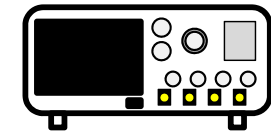


不正回路を見逃す見逃し確率を最小化する。

課題イ) AIを活用し不正回路の特徴量と不正でない回路の特徴量を学習することにより、不正回路の有無及び不正回路の存在する位置を検知する。



## 課題Ⅱ 電力波形等の電子回路の外部情報を用いて不正動作を検知する技術



課題ア) 組み込みマイコンやFPGA等のチップに不正回路が含まれていることを想定し、その動作をモデル化する。当該モデルに基づき、電力波形等の外部情報より、不正動作と正常動作を識別するために有意となる特徴量を抽出する。

不正動作を見逃す見逃し確率を最小化する。

課題イ) AIを活用し不正動作の特徴量と正常動作の特徴量を学習することにより、電力波形等の外部情報の中から不正動作の位置を検知する。

