

階層間協調設計によるセンサネットワークノード用 超低消費電力 LSI 設計技術に関する研究 (061107006)

An Ultra Low Power Single-Chip Sensor Node Processor by Cooperative Design
among Network, MAC and Physical Layers

研究代表者

吉本 雅彦 神戸大学大学院工学研究科
Masahiko Yoshimoto, Kobe University

研究分担者

永田 真[†] 川口 博[†]
Makoto Nagata[†] Hiroshi Kawaguchi[†]
[†]神戸大学大学院工学研究科
[†]Kobe University

研究期間 平成 18 年度～平成 20 年度

概要

本申請課題では、太陽光発電などの自然エネルギーにより駆動できる超低消費電力センサネットワークノードを実現するための基盤技術を開発する。目標は、消費電力数 mW 級のセンサノード LSI 実装技術の実現である。センサノードは簡単なデータ処理機能を有するほかはデータ転送に特化しており、電力消費の占める割合は無線データ通信が高く、これにかかわる電力消費を削減することが特に重要である。そこで本研究開発では、LSI アーキテクチャ、RF 回路設計の専門家からなる研究組織を構成し、通信方式の専門家と協力して、アルゴリズム、アーキテクチャ、回路設計の各階層間の同時協調研究をおこない、目標を達成することを目指す。

Abstract

In this project, we organize a research team including an LSI architecture expert, RF circuits expert, and communication expert to introduce cross-layer design to an ultralow-power sensor node. The goal is to fabricate and verify a one-chip sensor node LSI that can operate at a several mW. Since the sensor node LSI dedicates wireless data communication, its power is dominated by RF circuits and a data processor. So, to reduce the power, a power management scheme among algorithm, architecture, and circuits (in other words, network layer, data link layer, and physical layer) is important.

1. まえがき

環境、災害、医療、農業、防犯などのさまざまな分野においてマルチホップ通信に基づくワイヤレスセンサネットワークの利用方法が検討されており、その実現が期待されている。その実用化における最大の課題は、システム可用時間の長期化であり、センサノードの低消費電力化が重要となる。また、ノードを安価に大量生産可能とすることも重要な課題である。そのために超低消費電力特性を有するワンチップセンサノードの開発が求められている。

2. 研究内容及び成果

本研究開発の特徴は、垂直統合設計による超低消費電力センサノードの実現である。ネットワーク層・データリンク層・物理層のうち、中間層であるデータリンク層 (MAC 層) を核とした上下方向展開を実施した。

アイドル時に通信の起動/停止を周期的に行う間欠起動型 MAC の中でも、LPL (Low Power Listening) は定期的なキャリアセンスを特徴としているため、アイドル時の消費電力削減効果に優れている (図 1(a))。図中、 T は受信ノードの起動周期 (キャリアセンス間隔) を、 T_{on} はキャリアセンス時間を示す。しかし、LPL にはオーバーヒ어링、プリアンプルによる消費エネルギーオーバーヘッドが大きいという欠点がある。提案型 I-MAC では、センサノード間の時刻を同期することによって LPL の改良を行った。図 1 (b) は I-MAC におけるパケットの送受信の様子を示している。I-MAC では全センサノードの時刻を同期させ、各ノードの起動タイミングを一致させる。したが

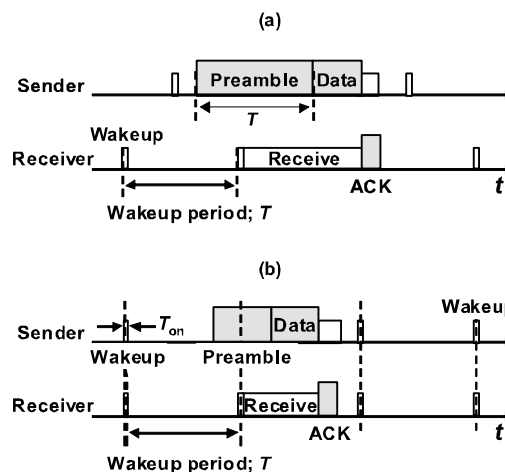


図 1 (a) LPL and (b) I-MAC プロトコルのタイミング図。

って、送信ノードは受信ノードの起動タイミングを高精度に予測することが可能となる。送信ノードは受信ノードが起動するタイミングに合わせてプリアンプルを送信することによって、短いプリアンプルでも通信を成立させることができる。このため、I-MAC では LPL よりも通信時の電力消費を削減することが可能である。I-MAC では、プリアンプルの長さは時刻同期の精度に依存し、起動周期に依存しないため、起動周期を長くしても電力消費は増大しない。

ノードは稼働時間の 99%以上がアイドル状態であると

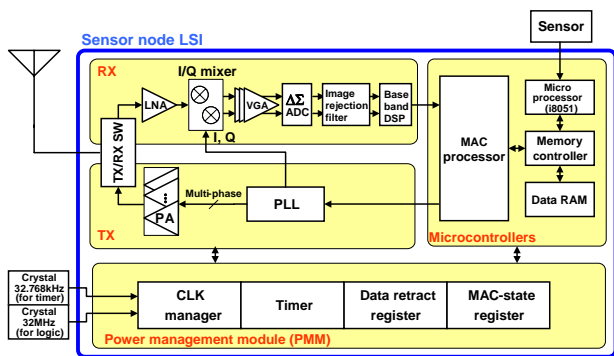


図2 開発したセンサーノード LSI のブロック図

考えられており、Sleep モードの消費電力は可能な限り小さく抑える必要がある。提案するワンチップセンサノード LSI では、Sleep モードにおいて、MAC 層を処理する MAC プロセッサの電源も遮断し、ノード間の時刻同期用 Timer と PMM (Power Management Module) 内のレジスタ群 (起動周期等の情報や MAC プロセッサの状態を保持する) のみに電源が供給されている。図 2 は研究開発したワンチップセンサノードのブロック図である。また、図 3 は各回路ブロックの状態による電源管理の様子を示している。ON は動作中 (電源オン)、OFF は電源遮断 (パワーゲーティング)、clk gating はクロックゲーティングを示している。電源管理により、無駄なリーク電力を排除し、システム全体の低消費電力化を実現する。

上述の研究内容をワンチップセンサノード LSI として開発し、完成させた。図 4 に開発したワンチップセンサノード LSI の写真を示す。製造プロセスは CMOS 180nm、6 層メタルで、コアサイズは 3mm 角である。電源電圧は 1.8V である。スリープ時・送信時・受信時・ネットワーク層処理時のそれぞれの電力は、7.73 μ W、11.16mW、14.12mW、4.41mW である (図 3 参照)。システムレベルの評価として、起動周期 T=100ms、通信速度を 20kbps としたときの、データ収集アプリケーションにおける消費電力を確認した。64 ビットの情報を 84.8 秒ごとに収集する。実動作時間は全体の 0.28%であった。このとき、センサノードは平均 58 μ W の電力を消費する。

	Block power	State of a sensor node				
		Dynamic/Leak	Sleep	Tx	Rx	Network layer
LNA	1.17mW/-	OFF	OFF	ON	OFF	OFF
PA	4.26mW/-	OFF	ON	OFF	OFF	OFF
PLL	3.28mW/-	OFF	ON	ON	OFF	OFF
VGA	955 μ W/-	OFF	OFF	ON	OFF	OFF
ADC	999 μ W/-	OFF	OFF	ON	OFF	OFF
Image rejection filter	2.75mW/1.02 μ W	OFF	OFF	ON	OFF	OFF
Baseband	1.34mW/1.4 μ W	OFF	OFF	ON	OFF	OFF
MAC processor	11.7 μ W/135nW	OFF	ON	ON	ON	ON
Memory controller	14.4 μ W/88.3nW	clk gating	ON	ON	ON	ON
Data RAM	710 μ W/11 μ W	clk gating	read	write	read/write	ON
i8051	787 μ W/8.2 μ W	OFF	OFF	OFF	ON	ON
PMM	3.97 μ W/156nW	ON	ON	ON	ON	ON
Crystal oscillator	32.768kHz	3.6 μ W/-	ON	ON	ON	ON
	32MHz	2.88mW/-	ON	ON	ON	ON
Total power			7.73μW	11.16mW	14.12mW	4.41mW

図3 消費電力管理のための電源制御

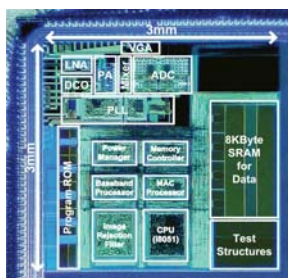


図4 センサーノード LSI チップ写真

3. むすび

経路制御、MAC プロトコルおよび物理層にわたる垂直統合設計により超低消費電力センサーノード LSI を開発した。その結果、コイン電池 1 個で、センサーノードは 2 年間稼働させることが可能となった。これは当初掲げた数値目標に合致したものであり、成功裡に研究開発を終えることができた。

【誌上发表リスト】

- [1] M. Ichien, T. Takeuchi, S. Mikami, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "Isochronous MAC using Long-Wave Standard Time Code for Wireless Sensor Networks," Proceedings of International Conference on Communications and Electronics (ICCE), pp. 172-177, (Oct. 2006).
- [2] T. Matsuda, S. Izumi, T. Takeuchi, H. Fujiwara, H. Kawaguchi, C. Ohta, and M. Yoshimoto, "Impact of Random Access Memory aware Data Aggregation for Wireless Sensor Network," Asia-Pacific Symposium on Information and Telecommunication Technologies (APSITT), pp. 130-134, (Apr. 2008).
- [3] T. Takeuchi, S. Izumi, T. Matsuda, H. Lee, Y. Otake, T. Konishi, K. Tsuruda, Y. Sakai, H. Fujiwara, C. Ohta, H. Kawaguchi, and M. Yoshimoto, "A 58-uW Single-Chip Sensor Node Processor Using Synchronous MAC Protocol," IEEE/JSAP Symposium on VLSI Circuits Digest of Technical Papers, (June 2009). (To appear)

【申請特許リスト】

- [1] 一圓 真澄・三上 真司・川口 博・太田 能・吉本 雅彦、センサネットワークシステム及びメディアアクセス制御方法、日本国、平成 18 年 10 月 13 日出願
- [2] 三上 真司・川口 博・太田 能・吉本 雅彦、センサネットワークにおける無線トランシーバ用電圧増幅器、日本国、平成 18 年 12 月 5 日出願
- [3] 吉本 雅彦・太田 能・川口 博・竹内 隆、温度補償バイアス回路、日本国、平成 19 年 10 月 10 日出願

【受賞リスト】

- [1] S. Mikami, T. Takeuchi, T. Matsuda, H. Kawaguchi, C. Ohta, and M. Yoshimoto, IEEE Radio and Wireless Symposium 2007 Best Student Paper Award (Nominated), "An Efficiency Degradation Model of Power Amplifier and the Impact against Transmission Power Control for Wireless Sensor Networks," Jan. 10, 2007.
- [2] Y. Otake, M. Ichien, T. Takeuchi, A. Gion, S. Mikami, H. Fujiwara, H. Kawaguchi, C. Ohta, and M. Yoshimoto, IARIA International Conference on Sensor Technologies and Applications 2007 Best Paper Award, "Cross-Layer Design for Low-Power Wireless Sensor Node using Long-Wave Standard Time Code," Dec. 10, 2007.
- [3] 大竹 優、一圓 真澄、竹内 隆、祇園 昭宏、三上 真司、藤原 英弘、川口 博、太田 能、吉本 雅彦、研究助成賞：「長波帯標準電波を用いた低電力センサーノードの垂直統合設計」 LSI IP デザイン・アワード運営委員会、平成 20 年 4 月 24 日

【本研究開発課題を掲載したホームページ】

<http://www28.cs.kobe-u.ac.jp/~webmaster/wiki/ja/?%B8%A6%B5%E6%C6%E2%CD%C6%B0%EC%CD%F7%2F%A5%BB%A5%F3%A5%B5%A5%CD%A5%C3%A5%C8%A5%EF%A1%BC%A5%AF>、低消費電力化のアプローチなどの研究概要紹介。1,779 ヒット。