

超高速光伝送システム技術の研究開発（デジタルコヒーレント光送受信技術）
The R&D on High-speed Optical Transport System Technologies

研究代表者 松岡 伸治 日本電信電話株式会社

研究期間 平成 21 年度

【Abstract】

With the penetration of the broadband services and the Internet, the data communication traffic transported over the network has dramatically increased for the last decade. To meet the upcoming capacity demand, digital coherent optical transmission is expected as the next generation technology which enables us to achieve 100Gbps, two and half times larger capacity than that of the latest commercial system. This R&D project aimed to establish the digital coherent optical transmission technology to achieve 100Gbps and beyond. After one year R&D activity, it established basic part of digital signal processing technology which includes signal processing algorithms for the digital coherent detection, analogue-to-digital-conversion, and hardware implementation of the signal processing as an integrated circuit. It established the basic technology of the 100Gbps optical transmitter and receiver components and their integration as a transceiver. The basic evaluation technology for 100Gbps system, an essential part of the project's objective was also established, which includes the signal format conversion at the interface between LAN and WAN and other technologies necessary for system evaluation. The project completed the planned objectives until the end of March 2010, within a very short period of time. This proved the project's open innovation effectively worked.

1 研究体制

- **研究代表者** 松岡 伸治（日本電信電話株式会社 未来ねっと研究所）
- **研究分担者** 加納 敏行（日本電気株式会社 システムプラットフォーム研究所）
尾中 寛（富士通株式会社 ネットワークプロダクト事業本部 プロダクト開発センター）
水落 隆司（三菱電機株式会社 開発本部 情報技術総合研究所）
和田 尚也（独立行政法人 情報通信研究機構 新世代ネットワーク研究センター）
- **研究期間** 平成 21 年度～平成 21 年度
- **研究予算** 総額 3,703 百万円
(内訳)

平成 17 年度	平成 18 年度	平成 19 年度	平成 20 年度	平成 21 年度
0	0	0	0	3,703 百万円

2 研究課題の目的および意義

本研究開発は、インターネットの浸透やアクセスネットワークのブロードバンド化進展によるネットワークを流通するデータトラフィックの爆発的増加に対応する上で必須となる、100Gbps 級の超高速長距離光伝送方式を実現するために、多値変復調方式と、デジタルコヒーレント光受信および信号処理に関する方式技術を確立することを目標とする。この方式技術の中で、受信信号の波長分散による歪補償および復調を行うためのデジタル信号処理技術および、100Gbps での超高速多値光変調信号発生、および受信技術が重要であり、これらの技術の有効性を方式全体として実証することを目標とする。

本研究開発では、100Gbps 級の超高速長距離光伝送方式を実現する上で必須となる要素技術、方式技術に絞って集中的な研究開発を展開することにより、100Gbps 級光伝送方式の早期確立を可能とし、我が国の国際競争力強化に寄与するとともに、開発技術の積極的な国際標準化への展開を通して、超高速長距離光伝送方式技術の発展に寄与する。

3 研究成果

3. 1 課題ア 100Gbps デジタルコヒーレント信号処理伝送方式の研究開発

課題ア 成果のポイント

課題アでは、デジタルコヒーレント光送受信技術の核心部分に相当する、デジタル信号処理アルゴリズムの確立と、機能ブロックごとに開発したアルゴリズムを統合化し、シミュレーションにより統合的な動作確認まで実施した。これによりデジタル信号処理の基本技術を確立できた。主な成果は以下の通りである。

- ・ 各アルゴリズムの良好なパフォーマンスを確認、実回路への実装を考慮したさらなるアルゴリズム検討を行い、実現性の見通しを得た。
- ・ ADC アーキテクチャを確立し、かつ所望のパフォーマンス達成に向けた目処を得た。
- ・ 統合化アーキテクチャとフローを確立し、統合化アルゴリズムが全体として所望のパフォーマンスを満たすことを確認。実回路への統合化トライアルを実施し、良好な結果を得た。

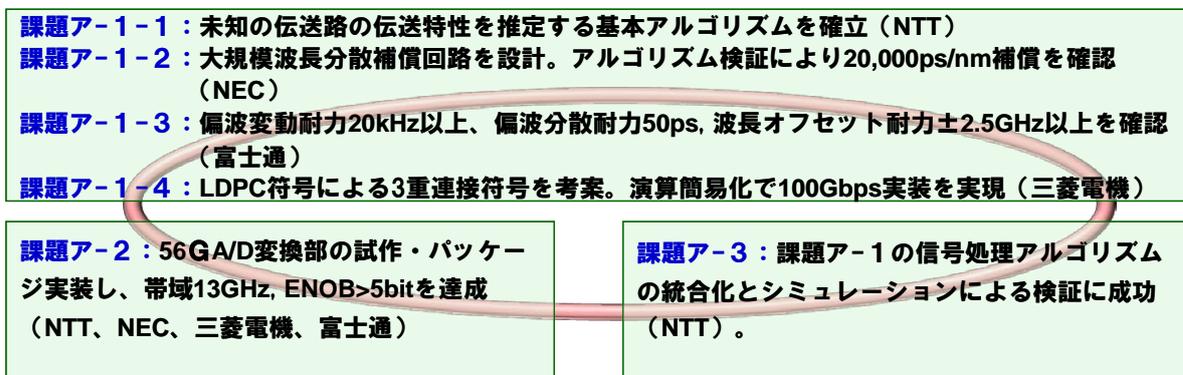


図1 課題ア 成果の内容

課題ア-1 デジタルコヒーレント信号処理方式の研究開発

ア-1-1 デジタルコヒーレントトレーニング信号処理技術

トレーニング信号を用い、受信部のデジタル信号処理部において、100Gbps 超のスループットを有する信号の波形等化処理を行うことを目標とし、トレーニング信号を用いた伝送路特性推定技術を確立する。波長分散 20,000ps/nm、偏波モード分散 50ps の伝送路特性を推定可能な信号処理技術を確立する。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

本課題では、信号が光ファイバ中を伝搬する間に生じる信号劣化に対して、既知のシンボル系列（トレーニング信号）を用いて劣化量を推定する技術について検討を行った。現在国際会議等で報告されているデジタルコヒーレント方式では、波長分散をあらかじめ別途測定し、受信機等化回路に手動でタップ係数を入力する構成や、光ファイバの種類とファイバ長を何らかの方法で事前に知った上で演算によりタップ係数を入力する構成となっている。一方、当受託研究期間においてはトレーニング信号を用いた波長分散推定アルゴリズムの検討を進めた。その結果、将来の LSI 実装を考慮したシミュレーションによって、データレート 126Gbps の場合に $\pm 200\text{ps/nm}$ （発生確率 10^{-3} 点）以下の精度で波長分散量を推定できることを確認した。

ア-1-2 デジタルコヒーレント波長分散補償技術

100Gbps 超高速光信号の光ファイバ中の波長分散による波形歪を適応的に補償する技術を確立する。総波長分散処理能力量 20,000ps/nm 以上の補償を行う波長分散補償技術を確立する。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

波長分散補償方式として、100Gbps で 20,000ps/nm 以上のスループットにおける波形ひずみを処理する回路規模を実現するために必要な周波数領域等化技術を採用した。さらに、周波数領域等化処理を行うデータにオーバーラップを付加/除去する方式を採用し、20,000ps/nm を補償するのに必要なこのオーバーラップ量を最小とする実装仕様を明らかにした。また、オーバーラップを付加して大容量化したデータの処理方式としてオーバクロック方式での処理が、動作実現性、規模の面で有利であることを明らかにし、実現可能な回路規模で波長分散補償を行える見通しを得た。続いて、本提案の波長分散回路における周波数変換部（FFT）における演算ビット幅の最小化を、計算シミュレーションにより決定した。

波長分散補償では補償回路に設定するフィルタ係数の算出が重要な機能である。波長分散の伝達関数は、三角関数などであらわされるため、計算が複雑化し、分散切替時の計算遅延が問題となる。そこで、テーブルルックアップ方式の波長分散係数決定回路を開発し、この遅延問題を解決した。また、伝送路の分散値の温度変化などに追従するために、波長分散補償値の切替機能が必要となるが、これを前述のテーブルを切り替える方式とすることで、分散切替時に問題となる主信号の過剰なひずみを抑えることが出来る方式を採用し、その効果を確認した。また、切替動作に必要な制御回路を設け、制御アルゴリズムを詳細に検討することにより立ち上げから運用までの動作を行う方式を開発し、機能シミュレーションによりその動作を確認した。以上の主信号補償回路、係数設定回路、制御回路について、全体動作が正常に行われるかを確認するために、高位言語を用いたプログラムにこれらの機能を記述してシミュレーションを行い、図 2 の通り、歪んだ入力波形が復元することを確認した。

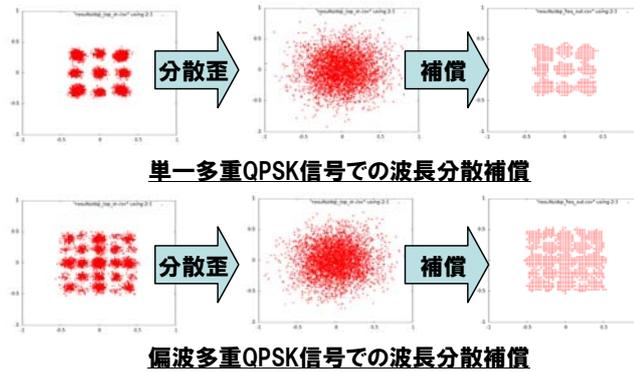


図 2

ア-1-3 デジタルコヒーレント偏波処理技術

100Gbps 超の動作を実現する偏波分離・アクティブイコライザ処理、周波数オフセット処理などの技術確立する。20KHz 以上の偏波変動環境下での安定な受信性能、50ps 相当以上の偏波モード分散耐力 ± 2.5 GHz 以上の周波数オフセット耐力を実現する偏波処理技術を確立する。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

デジタルコヒーレント偏波処理技術の研究開発における具体的な成果の概要は以下の通りである。

① 実回路を考慮したシミュレーションを用いて、20kHz 以上の高速偏波変動下で偏波分散耐力 50ps、波長オフセット耐力 ± 2.5 GHz 以上の受信性能を実現する偏波処理技術を確立した。

図 3 は全体 DSP における本課題の処理を行う適応等化処理部の構成を示している。

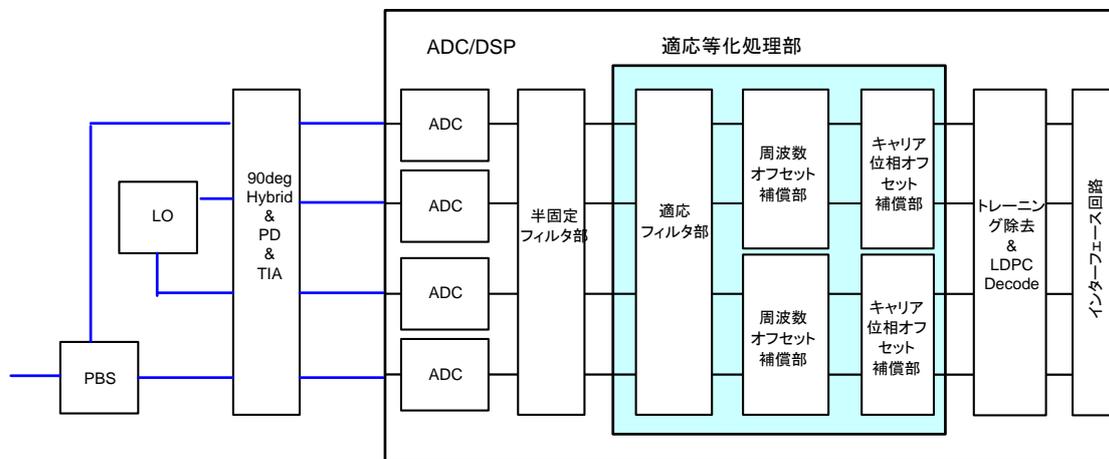


図 3 適応等化処理部の構成

適応等化処理部は主に、

- ・ 偏波分散に起因する波形歪補償と偏波分離を行う適応フィルタ部
 - ・ 送信器の信号光源と受信器の局発光源の周波数オフセットを除去する周波数オフセット補償部
 - ・ 送信器の信号光源と受信器の局発光源の位相雑音を除去するキャリア位相オフセット補償部
- の3つから構成される。

これらの機能構成ブロックの動作と課題の処理を行う詳細アルゴリズムをそれぞれ確立し、回路遅延、bit 精度まで考慮した機能レベルシミュレーション検証を行い、目標特性が実現できることを確認した。

② オフライン実験により、上記の目標特性を達成したことを確認した。

3つの機能構成ブロックを統合した適応等化処理部の性能評価を行なうために、課題イ-1-3で研究開発を行なったブレッドボード型光トランシーバを用いた Back to Back のオフライン実験を実施した。50ps DGD 付加下での偏波変動耐力特性は、20kHz の回転速度で Q ペナルティが 0.2dB 以下であることが確認された。また、周波数オフセット耐力特性は、±2.5GHz の周波数オフセットで Q ペナルティがほとんどないことが確認された。

ア-1-4 デジタルコヒーレント軟判定 FEC 技術

100Gbps スループットを有するデジタルコヒーレント軟判定 FEC 技術に関して、20%の冗長ビットを含む FEC フレーム技術および NCG (Net Coding Gain) 10dB に迫る FEC エンコーダ技術およびデコーダ技術を確立する。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

本課題では、100Gbps 超のスループットおよび 10dB に迫る NCG を実現する軟判定 FEC フレームの方式設計、軟判定 FEC デコーダの基本技術の設計、軟判定 FEC デコーダの高位モデル (C モデル) 化を行い、軟判定 FEC 基本技術のシミュレーション検証を行った。

具体的には、軟判定 FEC フレームについて検討を進めた結果、内符号の軟判定 FEC として LDPC 符号、外符号の硬判定 FEC として 2 重接続符号の Enhanced FEC (EFEC) を用いた 3 重接続 FEC 方式を確立し、OTU4V フレームとの親和性の高い FEC フレーム構成を定めた。軟判定 FEC 基本技術について検討を進めた結果、LDPC 符号の符号化率調整手法、簡易復号アルゴリズムとその量子化演算手法、および入力軟判定データ生成法を開発し、軟判定 FEC の基本技術を確立し、3 重接続 FEC 方式に基づいた軟判定 FEC の基本仕様を設計した。また、軟判定 FEC デコーダの高位モデル化として、軟判定 FEC デコーダの中から高位合成の対象回路を選定し、高位合成向け C 言語で設計した。

軟判定 FEC 基本技術のシミュレーション検証を行った結果、100Gbps 超のスループットで世界最高級性能の符号化利得 10.8dB を達成することがわかった。図 4 に、軟判定 FEC 基本技術シミュレーション検証結果を示す。LDPC 符号単体では BER = 1E-5 付近でエラーフロアが発生するが、EFEC と接続させると、それが 1E-10 以下になることがわかった。また、EFEC と接続させる場合、冗長度 20.5% で符号化利得約 10.8dB@BER=1E-15 となることが外挿により期待される。これは標準 RS(255,239)よりも約 4.6dB 向上することとなる。

図 4 軟判定 FEC 基本技術シミュレーション検証結果

課題ア-2 アナログデジタル変換/統合方式技術の研究開発

サンプリングレート 50GS/s 級、分解能 6bit の ADC/DAC、および入出力インターフェース等周辺機能部との統合化技術を確立する。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

ア-2-1 入力インターフェース技術

アナログデジタル変換/統合方式技術において、ADC 部の入力部への要求条件（主に、周波数帯域）の検討を行った。また、検討結果に基づいて、ADC 入力部の設計を行い、試作品を製造し評価した。

ADC 入力部の設計に先立って、ADC 入力部への要求条件を明確化するために、必要な周波数帯域を実験により検討した。

実験では、111 Gbps の DP-QPSK 信号を用い、リアルタイム型のデジタルオシロスコープを用いて偏波多重コヒーレント受信した波形を取り込み、そのデータをオフライン処理して得られた Q 値により入力周波数帯域の影響評価を行った。入力帯域の検討として ADC 部に相当するデジタルオシロスコープの入力部にあるデジタルフィルタの帯域を変化させて信号を受信し、Q 値比較を行った。

オシロスコープの入力帯域を 20, 18, 16, 14, 12 GHz と変化させた時の Q 値の光信号雑音強度比 (OSNR) 特性は、入力帯域を 20 GHz から 12GHz まで狭めていくと受信 Q 値の劣化が認められた。

ADC 入力部に要求される周波数帯域を検討するために、OSNR 16dB の時の Q 値を入力帯域に対してプロットすると、帯域 20GHz の時の Q 値 9.4 dB から 0.1 dB 劣化が見られる周波数は 15.2 GHz となった。以上より、ADC 部の入力帯域として、15 GHz 程度以上が要求されることが分かった。

以上のように、本年度の年次目標である ADC 入力インターフェースの基本技術確立において、重要なパラメータである周波数帯域の要求条件明確化を実現することができた。

ア-2-2 出力インターフェース技術

本課題では、ADC 部出力のデジタル接続部について、インターフェース回路形式を洗い出し、得失を比較した。InP、SiGe Bipolar、CMOS の 3 種類の製造プロセスを検討し、伝送速度および用途（チップ間伝送 or チップ内配線）に応じて、下記の 3 種の回路形式に分類し、1)消費電力、2)高速 A/D 変換部の実現性、3)ノイズ耐性、4)実装課題の観点から比較検討した。この中で、統合方式(c)は、最も低消費電力で実現可能であり、チャンネル数は多くなるものの CMOS 回路内部の非常に短い接続であるため、技術的課題も小さい。高速 A/D 変換部の CMOS プロセスでの実現性やノイズ耐性の課題があるが、総合的な実現性を判断し、出力インターフェース方式として統合方式(c)を採用することとした。

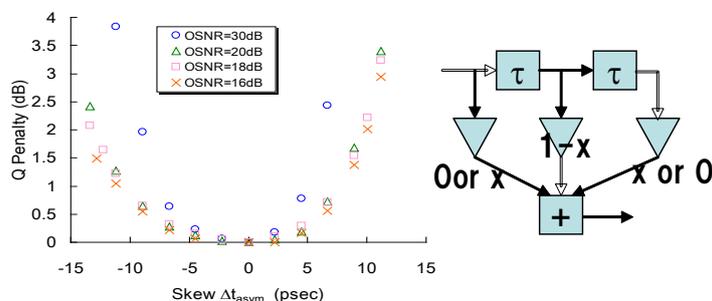
SiGe(or InP) ADC チップ+CMOS DSP チップによる統合方式(a)

SiGe(or InP) T/H 回路チップ+CMOS ADC/DSP チップによる統合方式(b)

CMOS ADC/DSP ワンチップ化による統合方式(c)

さらに、A/D 変換部出力インターフェースでの補償回路を検討した。補償の対象は、光フロントエンド部-A/D 変換部-A/D 変換部出力インターフェースで生じるレーン間スキューばらつきと振幅ばらつきとした。A/D 変換部出力インターフェースレーン間スキューによる性能劣化をシミュレーションにより検討し、Q 値ペナルティを 0.1dB 以下に抑えるためには、スキューを約±3psec 以下とする必要があることを明らかにした（図 5 左）。この要求値に抑えるための補償回路実装として小規模 FIR(finite impulse response)フィルタを用いた回路（図 5 右）の設計を行い、アナログスキューの設定精度を 8 ビットで実装することで、補償が可能となることを明らかにした。また、FIR フィルタにより各レーンで発生する種々の振幅ばらつきの補償（規格化）を行う機能の実装を完了した。これらの補償回路を適切

に動作させるために、入力信号の DC レベルモニタ、振幅モニタ、ADC からの信号オーバーロードの検出モニタを配備した。さらに、スキュー補償回路に与える正確な補償量を得るための、スキュー測定手法を開発した。本機能は、課題ア-1-2 の波長分散補償技術で実現する周波数領域変換回路を活用するものであり、検出精度±3psec 以下であることを確認した。



ア-2-2 スキューペナルティ解析と補償回路構成

図 5

ア-2-3 アナログデジタル変換技術

本課題では、100Gbps 超のスループットを有するデジタルコヒーレント技術に適用可能な 50GS/s 級 6bit 分解能の ADC/DAC 技術に関して、シミュレーションにより A/D 変換器に要求される性能を明確にし、最適な A/D 変換方式を選択、A/D 変換部の部分試作を行うことで、特性の確認や A/D 変換器全体の性能推定ならびに必要な改良設計を行い、要求性能を満足する A/D 変換器を実現することを目指した。

具体的には、最適な A/D 変換方式を選択するためにシミュレーションにより各方式に対する 50GS/s 級 A/D 変換器の消費電力見積もり、方式比較を行った。インタリーブド逐次比較型 A/D 変換器は、フラッシュ型やパイプライン型に比べて低消費電力で実現可能な見込みが得られたことから、本方式を採用することとした。

デジタルコヒーレント技術に適用可能な A/D 変換技術を確立するためには、A/D 変換器の性能指標である有効ビット数 (ENOB: Effective Number Of Bits) などの指標と、デジタルコヒーレント受信機の性能との対応づけが必要である。A/D 変換部の部分試作を行うことで、特性の確認や A/D 変換器全体の性能推定ならびに必要な改良設計を行い、要求性能を満足する A/D 変換器が必要となる。本研究では、5 ビット以上の ENOB を達成するために、分解能 8 ビットで設計した。18GHz までの入力帯域において 5 ビット程度の ENOB が得られた。

ア-2-4 パッケージ実装技術

パッケージ実装技術の研究開発において達成された成果の概要は、以下の通りである。

- ① アナログデジタル変換部とデジタル信号処理部の実現技術について、パッケージ実装技術の観点からそれぞれ得失を整理し、統合方式を決定した。

アナログデジタル変換部とデジタル信号処理部の統合方式に関しては、課題ア-2-2 の検討結果により、アナログデジタル変換部とデジタル信号処理部を CMOS 回路で同一チップ上に形成する構成を採用することになった。アナログデジタル変換部とデジタル信号処理部を 1 チップに集積化する構成では、

ハイブリッド実装技術などの要素技術は不要となる。光トランシーバに搭載する観点からは、大規模 LSI に適用されている通常の BGA (Ball Grid Array) パッケージの適用が望ましく、その高周波特性を向上させることが技術課題となる。

今年度は、BGA パッケージの周波数特性の改善に向けた要素技術の開発を目標とし、セラミック BGA パッケージの設計試作を行なった。試作したパッケージ外観を図 6 に示す。

② 決定された方式でデバイス試作・パッケージ実装を行い、初期特性を確認した。

設計試作を行ったパッケージの電気的特性は、光トランシーバに実装されるプリント板上に試作パッケージを実装し、プリント板とパッケージにプローバを直接接触させて評価を行なった。この評価により、パッケージ単体で約 25GHz (1dB 幅) の帯域を有しており、100G デジタルコヒーレント伝送技術に必要な帯域をセラミック BGA パッケージで実現できることを確認した。



図 6 パッケージ実装検証用試作 (右：表面、左：裏面)

課題ア-3 デジタル信号処理統合検証技術の研究開発

- ・デジタル信号処理統合検証技術の確立 (ア-1) で開発したアルゴリズムを相互に接続して、全体としての記述言語による設計、および (ア-2) で開発したアナログデジタル変換/統合方式技術を用いた統合化デジタル信号処理機能部の試作を行う。
- ・統合化デジタル信号処理機能部の評価技術の確立 上記統合化デジタル信号処理機能を検証・評価するためのプラットフォームの試作、および 100G 超信号を用いた検証・評価を行う。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

課題ア-1-1～ア-1-3で開発されるアルゴリズムを、C言語を用いて統合記述モデル化することによる統合シミュレーション技術の確立では、高位言語による統合検証を、機能Cモデルを用いて実施した。さらに演算ビット幅制限による劣化量を見積もること、検証用入力パターン・出力期待値の生成も、機能C統合検証に併せ実施した。その後、RTLを自動生成する元となる高位言語にて、各機能ブロックのSystemCモデルを統合し、演算回路要素間のタイミングを合わせ込んだモデルにて、機能仕様を満たすことを検証した。

機能C統合検証においては、DSP回路のうち固定フィルタ部、適応フィルタ部、伝送路推定部の機能ブロックを結合し、各機能ブロックが機能仕様通り動作することを検証した。

回路設計言語 (RTL) による統合検証 (RTL 統合検証) では、高位言語から自動生成された RTL モデル、RTL にて直接記述された課題ア-1-4部分を統合したモデルにて、タイミング検証も含めた初期機能仕様検証を実施する。シミュレーション、及びハードウェアエミュレータを用いた検証を実施した。

また、各機能ブロックを適正なタイミングで動作させることが、それぞれの機能の正常動作に必須であるため、各機能ブロックとの制御信号やり取りを基に回路の状態遷移を制御する全体制御部が統合検証の肝要である。ここでは、Power off 状態、Power on 状態、Offline 状態、Initialize 状態、Operation 状態、Holdover 状態の 6 つがあり、それぞれの状態間を各機能ブロックから発出される制御信号を用いて遷移させた。各状態の内部においても機能ブロック制御信号やり取りを含むシーケンス制御設計を完了している。この制御シーケンスの統合検証は、RTL 統合検証にて完了した。

3. 2 課題イ 100Gbps デジタルコヒーレント光送受信技術の研究開発

課題イ 成果のポイント

課題イでは、デジタルコヒーレント光伝送方式の光送受信部の技術および光トランシーバの技術について研究開発を行った。その結果、光送受信フロントエンド・光トランシーバの試作検証等を実施し、要素技術を確立できた。また、光受信部の制御技術を用いた波形等化技術について基本技術を確立した。具体的には以下の成果が得られた。

- ・ デジタルコヒーレント伝送用光送受信フロントエンドおよび光トランシーバの要素基本技術の確立と試作による技術検証
- ・ 光送受信部制御技術による波形等化基本技術の確立

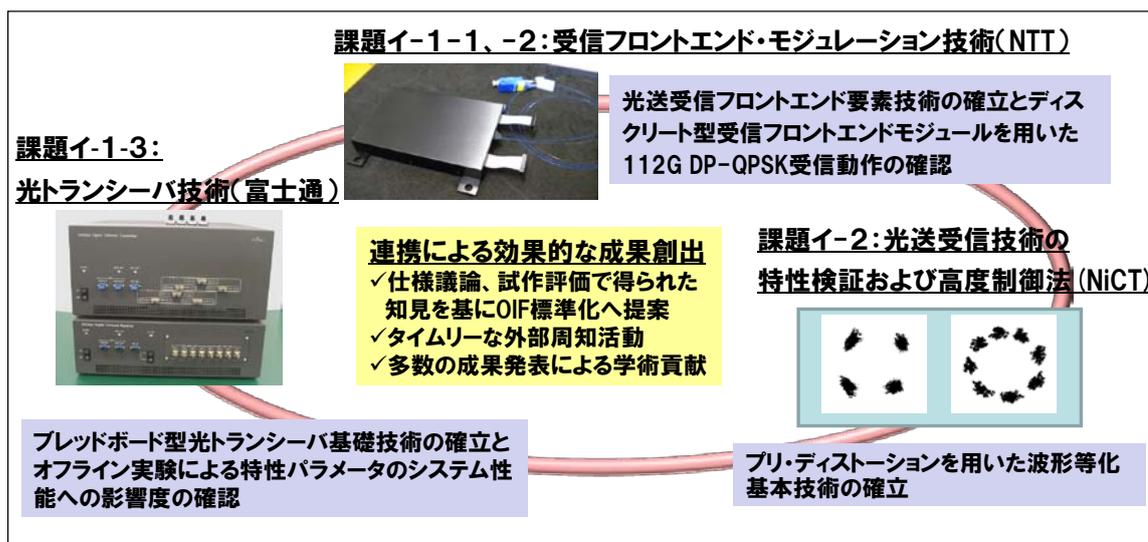


図 7 課題イ 成果の内容

課題イ-1 光送受信技術の研究開発

100Gbps 超級受信フロントエンド技術、ハイブリッド型モジュレーションと制御技術、および受信フロントエンド技術とハイブリッド型モジュレーション技術を相互に接続し、これらの安定動作を実現する光トランシーバの設計と試作をおこない、技術を確立する。これらには以下の項目を含む。

- ・ 集積型受信フロントエンド技術の確立
- ・ ハイブリッド型モジュレーション技術の確立
- ・ オンボード型光トランシーバの設計試作と光トランシーバ技術の確立

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

イ-1-1 受信フロントエンド技術の研究開発

課題イ-1-1ではデジタルコヒーレント受信フロントエンド技術の確立に向けて研究開発を行った。

偏波分離回路 (PBS) と 90 度ハイブリッドからなる光信号処理部には小型・低損失・低位相誤差特性に優れる石英系平面回路 (PLC : Planar Lightwave Circuit) を適用し、PD (Photo-Diode) および TIA (Trans-Impedance Amplifier) からなる電気信号処理部には各々高速・高効率 PD 技術および InP HBT(Indium Phosphide Hetero-junction Bipolar Transistor)技術を適用した。また、光信号処理部と電気信号処理部の接続技術として、ファイバ接続によるディスクリート型受信フロントエンド技術と、全ての信号処理部を一つの筐体の中に集積化する集積型受信フロントエンド技術の両面から検討を進めた。

光信号処理部については、最初に偏波分離回路と 90 度ハイブリッド回路を PLC 技術により作製して各々の基本性能を把握した。

その結果、偏波分離比 25dB 以上、位相誤差 ± 3 度以下が確認できた。次に、これら要素回路をワンチップに集積化した。本回路を偏波多重光ハイブリッド(DPOH = Dual Polarization Optical Hybrid)と呼ぶ。集積化した場合においても各要素回路の性能を再現することを確認した。本 DPOH を用いて、ディスクリート型受信フロントエンドモジュール技術の検証に適用するとともに、集積型受信フロントエンドモジュール技術の検討に必要なレイアウト設計をおこない、目標とするチップサイズで実現可能であることを確認した。

PD 技術については、低バイアス・広帯域動作を実現するための取り組みを実施し、従来性能を上回る特性を実証した。入射光強度-4 dBm、バイアス電圧-2 Vにおいて 3dB 帯域 29 GHz という優れた特性を達成し、従来構造 PD (バイアス電圧-3.5 Vにおいて 3dB 帯域 24 GHz) に対する優位性を実証した。

TIA 技術については、高信頼 InP HBT 技術による IC 試作を実施し、作製したプロトタイプ IC の基本性能を確認した。100Gbps DP-QPSK 方式に対応するためには高い線形性と大きなローカル光入力耐性が要求される。このため、本プロトタイプ IC では、線形動作に適した自動利得制御(AGC:Auto Gain Control)機能、また、大きなローカル光入力があった場合に生じる直流入力電流を吸収して TIA を保護する入力電流吸収回路の機能を集積している。試作したプロトタイプ IC の周波数特性では、PD との接続を考慮したトランスインピーダンス利得特性に換算して約 68 dB Ω の高利得特性が実現できており、大きなダイナミックレンジを確保する上で有用である。また 3 dB 帯域は 23GHz であり、受信フロントエンドの目標帯域 22 GHz を上回る値を確認した。さらに、IC の入出力特性評価から AGC 機能が良好に動作していることを確認した。

次に、ディスクリート型受信フロントエンド技術の確立とディスクリート型受信フロントエンドを用いた光信号処理部および電気信号処理部の要求仕様の明確化と課題の抽出について述べる。ディスクリート型受信フロントエンドは、先に述べた光信号処理部である DPOH モジュールと、PD と TIA を実装した光電気変換(OE = Opto/Electric converter)モジュールを光ファイバにより接続して構成する。

DP-QPSK 信号を用いた OSNR=18dB の際の受信特性(Q 値特性)は、OE モジュール、DPOH モジュールについて各特性を個別に評価した特性を反映した良好な受信特性が得られた。

ディスクリート型受信フロントエンドのさらなる小型化には RF 出力部の小型化と 4 チャンネルを 1 筐体に収容する OE モジュールの実現が必要となる。テストサンプルを作成して評価したところ、十分な帯域特性が確保できることを確認した。4 チャンネル収容 OE モジュールについては OE パッケージのプロトタイプ製造まで実施した。

以上より、要素技術の確認および受信フロントエンド技術の確認が完了しており、追加検証とそのフィードバックにより当初目標であるディスクリート型受信フロントエンド技術の確立を達成できた。

最後に、集積型受信フロントエンド技術の基本要素技術である光学接続及び電気接続技術の確立とモジュールプロトタイプによる集積化モジュール仕様の明確化と課題抽出について述べる。小型かつ高い信頼性を有する集積型受信フロントエンドモジュールの構成として、DPOH と、dual-PD アレイおよび TIA アレイを小型気密封止パッケージに収容した OE サブアセンブリを、微小光学系を用いて接続する構成の検討を行った。PLC-OE 間光接続部の小型化に向けた基盤技術として、マイクロレンズアレイを用いた微小コリメート光学系の適用検討を進め、光接続損失 0.9dB、光軸ずれトレランス $\pm 10\mu\text{m}$ 以上 (0.2dB ダウン値) の性能を実験的に確認した。光軸ずれトレランスは実装精度および環境温度変化による損失変動を抑制する上で目標となる $\pm 5\mu\text{m}$ を大きく上回る良好な特性を確認した。

イ-1-2 モジュレーション技術の研究開発

デジタルコヒーレント信号のモジュレーション技術確立に向けて研究開発を行った。本研究開発では、光信号の合分岐および光ファイバへのインターフェースに優れた石英系平面回路 (PLC: Planar Lightwave Circuit) と、高速位相変調特性に優れたニオブ酸リチウム (LN) をハイブリッド集積したモジュール実現を目標とした。

まず、モジュールの構成要素であるニオブ酸リチウムと、石英系 PLC の各々についての特性を確認した。まず、ニオブ酸リチウムの重要な性能指標である半波長電圧 (V_{π}) について測定を行った。デジタルコヒーレント変調では合計で 4 つの子 MZI を用いており、変調器ドライバへの負担を軽減するために V_{π} を低くすることが求められる。ハイブリッド集積モジュール用の LN 変調器アレイでの V_{π} がこの要請を満たすかどうかを確認した実験では、3Gbaud での測定における V_{π} は約 2.9V であり、低 V_{π} 化が図られていることを確認した。

次に石英系 PLC についての基本性能の確認を行った。ハイブリッド集積変調器用の石英系 PLC では高い消光比を得るために合分岐比が正しく 50% となることが求められる。我々は合分岐比を正確に 50% とするために対称性を有する Y 分岐を用いることとし、Y 分岐の低損失化のために前年までに NTT 研究所で開発した WFM (Wavefront Matching Method) 設計を用いることとした。ハイブリッド変調器向け石英系 PLC では、モード径を LN 変調器アレイでのモード径に整合させるため $\Delta = 1.5\%$ を用いるが、このときの Y 分岐の過剰損失は 0.2dB 以下であり、従来設計法よりも 0.3dB 程度改善されることを確認した。ハイブリッド変調器では Y 分岐を複数用いるため、全体での改善効果は 1dB 以上となる。

以上、パッシブ光回路部と高速光変調部の個別基本性能の把握と課題抽出について目標を達成した。

次に、モジュールプロトタイプの設計と作製を達成するために、モジュール構造の最適化設計を行った。ハイブリッド変調器では熱膨張係数の異なる石英系 PLC と LN を用いることから、この熱膨張係数の違いによるパッケージからの位置ずれを吸収する仕組みが必要である。光ファイバを S 字に撓ませることで位置ずれを吸収する構造を用い、光ファイバの押し込み量の最適化を行った。光ファイバの押し込み量を変えたときの光ファイバに印加される応力および光ファイバの破断点を測定した結果、破断応力に対する安全率を 5 倍として、自由長を 8mm、押し込み量を 82 ミクロンが最適であることを明らかにした。

これら設計パラメータをもとに製造を進め、石英系 PLC と LN チップを接続したときの損失測定を行った。その結果、若干の損失バラツキは見られるが、損失は 8dB 以下であることがわかった。また各マッハツェンダ干渉計の消光比が、約 25dB 以上と十分良好な値が得られていることを確認した。さらにパッケージに実装して基本特性評価を行い、QPSK 変調器部の小信号周波数応答特性が 23GHz 以上の

値であることを確認した。

イ-1-3 光トランシーバ技術の研究開発

光トランシーバ技術の研究開発における具体的な成果の概要は以下の通りである。

① 課題イ-1-1、課題イ-1-2 と連携し、光トランシーバの仕様を確定

課題イ-1-1、課題イ-1-2 で設計試作された受信フロントエンド等の仕様と、OIF(Optical Internetworking Forum)で検討されている光変調器、受信フロントエンド、光トランシーバモジュールの仕様を参考に、ブレッドボード型の光トランシーバの仕様を確定した。本仕様は将来的なオンボード化を視野に入れた仕様となっており、更に、オンボード化に向けた技術検証や評価を効率よく行なうために、内部の部品の交換、搭載が容易な構成とし、主要部品の調整や設定を外部から行うことが可能となっている。

② ブレッドボード型光トランシーバの設計、製作を完了

ブレッドボード型光トランシーバは内蔵する部品の交換の容易性を考慮した実装方法を採用している。そのため筐体は送信部、受信部に分かれている。図8に送信側および受信側ブレッドボードの外観図を載せた。送信部には、光源部、駆動部、光偏波多重4値位相変調部、光増幅部などが含まれ、受信部には、局発光源部、受信フロントエンド部、光増幅部等が含まれている。



図8 ブレッドボード型光トランシーバ(左：送信部、右：受信部)写真

③ オフライン実験により光トランシーバとしての性能を確認

オフライン実験では、製作したブレッドボード型光トランシーバの送信側、受信側を相互に接続し、受信側ブレッドボードから出力される電気信号を高速デジタルストレージオシロで取り込み、PC上でデジタル信号処理アルゴリズムを実行する。ブレッドボード型光トランシーバに必要なデータ間の移相設定、局発光パワーの設定等、各種パラメータの調整、設定が想定どおり行われていることを上記オフライン処理で確認した。

課題イ-2 光送受信機能部の特性検証および制御方式の研究開発

課題(イ-1)で開発される受信フロントエンド技術とハイブリッド型モジュレーション技術を統合した光トランシーバの特性検証、および光送受信機能部における信号歪みの等化アルゴリズムの最適

化による高速・高精度な制御技術を確立する。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

課題イ・2では、課題イ・1で開発された光送受信部の特性を個別に検証し、それらを制御するための基本技術を確立した。具体的には、まず光送受信部の変調器ドライバンプ出力のアイパタンから変調器への電気信号が非常にクリアであることを確認した。特に符号間干渉 (Inter-symbol interference: ISI) による歪みの度合いを確認し、それが十分に小さく抑えられていることを確認した。光受信部については、DQPSK 信号を Free Spectral Range(FSR) 28GHz の 1 ビット遅延干渉計 (Delayed Interferometer: DLI) を通し、その後段に OE を接続して出力波形を観察することにより、OE 部出力の信号が十分にクリアであることを確認した。受信部においても送信部の場合と同様に ISI によるひずみ度合いを確認し、それが十分に小さく抑えられていることを確認した。このように、本研究開発において作成された光送受信部は 100 Gbps 級の送受信を行うために十分な特性を持っているが、周波数特性の劣る電気系を用いた場合においてもイコライゼーションにより信号歪みを補償し波形を制御する基本技術を確立した。また、イコライゼーションを行うためのデジタルフィルタの検討を行い、シンプルな FIR (Finite Impulse Response) フィルタを用いても電気系で生ずる ISI の補償が精度良く行われることを確認した。このことから、周波数特性が不十分ではあるがコストの低い電気回路や変調器を用いた場合においても、QPSK を含む多値変復調が行えるようになった。さらに、IQ 変調器を用いず、ストレートライン型位相変調器を用いても、イコライゼーションによる波形歪み補償を行えば QPSK や 8-PSK といった多値変復調が行えることを確認した。これらの成果により、研究開発目標を達成することができた。

3. 3 課題ウ 100Gbps デジタルコヒーレント光伝送方式評価技術の研究開発

課題ウ 成果のポイント

課題ウでは、100Gbps デジタルコヒーレント光伝送方式を評価するのに必要な基本技術について研究開発を推進した。その結果、クライアント信号を 100Gbps 光伝送システムへ入力するための信号処理部の試作や実験室レベルでの光送受信部対向試験を実施し、評価技術の実証と伝送特性の基本評価技術を確立した。具体的には以下の成果が得られた。

- ・ クライアント信号の送受信を可能とする信号処理評価技術の実証
- ・ 100G 光送受信部対向試験による基本評価技術の確立

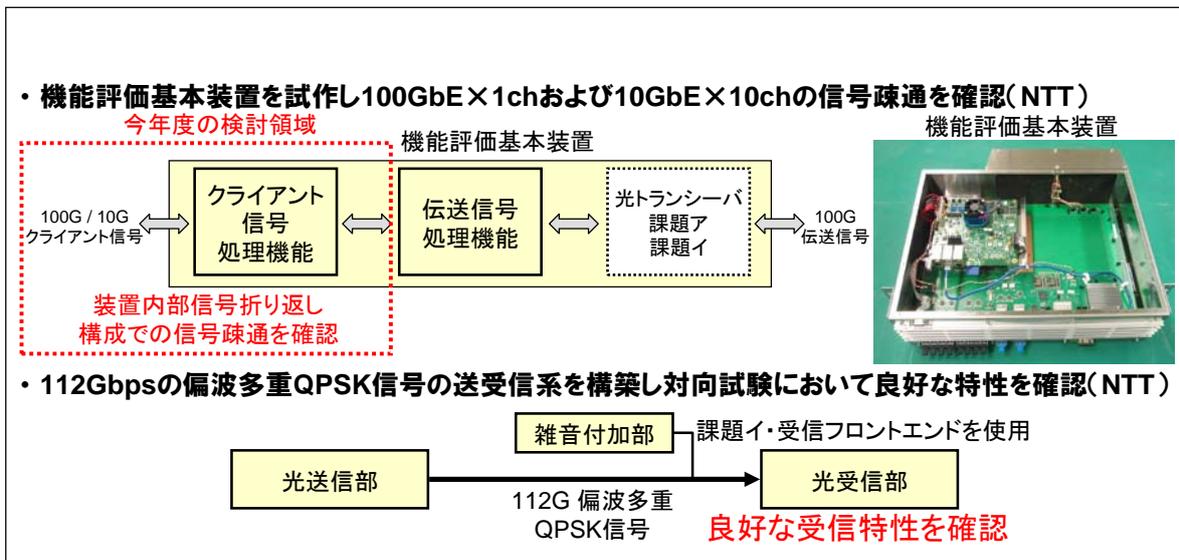


図9 課題ウ 成果の内容

課題ウ-1 クライアント信号処理部評価技術

10G×10ch、100G×1ch のクライアント信号を用いてクライアント信号処理部の評価を実現するためのサブシステムの試作と性能評価を行う。10G イーサネット 10 チャンネルあるいは 100G イーサネット 1 チャンネルを用いてシステム評価を実現するための、当該信号を編集・マッピングするフレーム処理サブシステムの試作と性能評価を行う。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

100Gbps デジタルコヒーレント光伝送方式を確立するため、100GbE×1ch および 10GbE×10ch をクライアント信号とした場合のクライアント信号からネットワーク側信号への信号変換処理技術において、必要となるクライアント信号処理技術、クライアント評価技術の検討を行い、当該技術の実証を可能とする機能評価基本装置の試作を実施した。本機能評価基本装置は 100GbE×1ch 及び 10GbE×10ch のクライアント信号用の光電気変換部を実装することにより、100GbE×1ch および 10GbE×10ch クライアント信号の送受信機能を実現している。

100GbE 収容トランスポンダ機能評価基本装置では CFP 100GbE 光トランシーバからの電気信号を受信して、FPGA#1 内で 100GbE 信号の MLD 機能、PCS モニタ機能を実現する。FPGA#1 で処理されたクライアント信号は FPGA#2 に渡されフレーム処理などを施し、課題アおよびイで検討を進めている 100G デジタルコヒーレント光トランシーバに信号を送出し最終的に 100G デジタルコヒーレント光伝送信号として出力されることとなる。

MLD 機能とは、マルチレーン信号である 100GbE 信号の処理のことであり、FPGA#1 が受け取る 10.3125 Gbit/s×10 の CAUI 信号を 1:2 ビットデマックスすることで 20PCS レーンを生成し、その後、66B ブロック同期をはかり、レーン識別を行う。続いて各レーン間のスキューを検出した後に、その補償(デスクュー)を行う。PCS モニタ機能は各 PCS レーンのアライメントブロック中の BIP フィールドにより各レーンの BER をモニタする。また Sync header のエラーをカウントし高 BER 時に通知する。

クライアント信号を機能評価基本装置に入力し FPGA#1 内で 100GbE×1ch および 10GbE×10ch クライアント信号を折り返す設定により、それぞれのクライアント信号の導通確認することにより 100Gbps クライアント信号を送受信可能とする信号処理技術を確立した。

さらに、ビットレート 112Gbps の偏波多重 QPSK 信号の送受信系を構築し、光送受信部の対向試験における特性評価までを実現した。受信部には課題イで試作したディスクリットな受信フロントエンドを使用し、オフライン評価を行った。光信号対雑音比(OSNR)耐力の測定結果は、受信フロントエンドの信号光入力強度-10dBm、局発光(ローカル光)の強度+4dBm、対向試験においては OSNR 15dB において Q 値が 10dB 程度であり、良好な特性が得られた。また、80km のファイバ伝送路を用いた特性評価を達成し、システム評価に向けた基本技術を確立した。

課題ウ-2 システム評価技術(伝送実験等)

送受信部の対向試験において、受信特性を評価する。また、ファイバ伝送路を用いた伝送実験を行い、伝送特性を評価する。光ファイバ伝送における、波長分散 20,000ps/nm、偏波モード分散 50ps を付加した場合のシステム総合評価技術の確立、および 100Gbps 伝送特性の評価を行う。

(基本計画書「4. 研究開発内容>到達目標」を抜粋)

課題ア、課題イの成果を統合し総合的なシステム評価を可能とするための基本評価技術の確立を目指し、課題ウ-1 と連携して光送受信系の評価技術の検討を行った。具体的には、ビットレート 112Gbps の偏波多重 QPSK 信号の送受信系を構築し、光送受信部の対向試験における特性評価および、80km の

ファイバ伝送路を用いた特性評価を実施し、良好な特性を確認した。これらの評価を通し、システム評価の基本技術を確立した。

3. 4 その他の研究実績

本研究開発の推進に当たっては、基本計画書に基づき、本研究開発に関連する要素技術間の調整、成果の取りまとめ方等、研究開発全体の方針について幅広い観点から助言を頂くと共に、実際の研究開発の進め方について適宜指導を頂くため、外部の学識経験者、有識者で構成されるアドバイザー委員会設置した。本研究期間中、委員会を2回（10月、2月）実施し、学識経験者、有識者による指導、意見を受け、研究開発推進に反映した。

4 研究成果の更なる展開に向けて

研究成果の展開：

本研究開発では、100Gbps 級超高速長距離光伝送方式を実現する上で必須となる要素技術、方式技術について基本技術を達成することができた。今後は、本研究開発で得られた研究成果を踏まえ、システム化に向けた総合的な技術の確立を図っていくことが期待される。

【日本電信電話株式会社】

本研究開発では、100Gbps 級デジタルコヒーレント光送受信要素技術の確立を行った。本研究開発で得られた基本技術を足がかりに、より高速広帯域かつ長距離伝送を可能とする最先端の光伝送技術の研究開発を推進していく。また、本研究開発の研究成果をベースに、技術開発を継続して推進し、国際標準化に貢献すると共に、モジュール化技術を完成させるなど技術総体の完成度を高め、100Gbps 級の超高速光伝送システムの実用化を目指した研究開発を更に展開していく。

【日本電気株式会社】

本研究開発で得られたデジタルコヒーレント信号処理技術の基本方式および要素技術については、引き続き研究開発を継続し、各社との協力により機能を統合した信号処理動作を検証することを通して、技術の確立に努める。この継続研究開発にて得られると見込まれる信号処理技術を、自社が開発製品化する波長多重光伝送装置に対して適用することで、実用化を進める。

【富士通株式会社】

本研究開発により確立した 100bps 超級のデジタルコヒーレント偏波処理、光トランシーバの要素技術を実用化に向けて発展させていく。具体的には、前者 については、リアルタイム動作に必要な並列処理方式の確立、回路実装を前提にした、伝搬遅延、配線性を考慮した最適な機能ブロック構成の確立を目指す。後者については、OIF(Optical Internet Forum)での標準化の議論を踏まえたオンボード形小型光トランシーバの実現を目指す。

【三菱電機株式会社】

今年度の研究成果は、100Gbps 超高速光信号の信号対雑音比低下に対処しうる強力な誤り訂正機能として、多値伝送技術・等化技術との親和性、100Gbps の OTN フレーム等との親和性を考慮した FEC フレーム

方式および軟判定 FEC 技術を確立したことである。今後は、得られた FEC フレーム方式、軟判定 FEC 技術を装置化及びシステム化に向け総合的な技術の確立を図ってゆく。

【独立行政法人 情報通信研究機構】

100Gbps 級の光送受信部において、周波数特性の劣る電気系を用いた場合においてもイコライゼーションにより信号歪みを補償し波形を制御する基本技術の完成度を更に高め、本研究開発で目指す 100Gbps 級デジタルコヒーレント通信システムの、適用範囲をより広げ、運用条件等を緩和し、本方式の早期導入に資する。成果の一部は、必要に応じて共同研究、技術移転等を通して企業との連携を引き続き図る。

予測される波及効果：

本研究開発で得られた研究成果を発展させ 100Gbps 超高速長距離光伝送方式の技術を早期に確立することにより、我が国の国際競争力強化が図られるとともに、開発技術の積極的な国際標準化への展開を通して、超高速長距離光伝送方式技術の発展することが予測される。

5 査読付き誌上発表リスト

- [1] Yohei Sakamaki, Yusuke Nasu, Toshikazu Hashimoto, Kuninori Hattori, Takashi Saida, and Hiroshi Takahashi, “Reduction of phase-difference deviation in 90° optical hybrid over wide wavelength range ”、 IEICE Electronics Express Vol.07 No.03 pp216-221,2010 (平成 22 年 2 月 10 日) :
- [2] 尾中 寛、“光ネットワークにおける省電力・高速 CMOS LSI 技術の動向”、電子通信情報学会学会誌 2010 年 8 月号小特集:「グリーン ICT に向けた光ネットワーク技術」(平成 22 年 8 月) :
- [3] 斧原聖史、水落隆司、“Forward Error Correction for 100G Transport Networks”、IEEE Communications Magazine Vol.48 No.3 S48-S55 (平成 22 年 3 月 21 日) :
- [4] M. Nakamura, Y. Kamio, and T. Miyazaki, “30 Gbit/s 64-QAM transmission over 60 km SSMF using phase-noise cancelling technique and ISI suppression based on electronic digital processing”、 IET Electron. Lett. Vol.45 No.25 pp1339-1340 (平成 21 年 12 月) :
- [5] M. Nakamura, Y. Kamio, and T. Miyazaki, “Linewidth-tolerant real-time 40-Gbit/s 16-QAM self-homodyne detection using a pilot-carrier and ISI suppression based on electronic digital processing”、 OSA Opt. Lett. Vol.35 No.1 pp13-15 (平成 22 年 1 月) :

6 その他の誌上発表リスト

- [1] 尾中 寛、“100 ギガビットの信号を復調する”、技術月刊誌 O plus E 2009 年 8 月号 (平成 21 年 8 月) :

7 口頭発表リスト

- [1] 大原 拓也、山崎 悦史、相澤 茂樹、富沢 将人、“100G 伝送へ向けた高誤り耐性フレーム同期/レーン識別”、電子情報通信学会 2010 年総合大会 (仙台市) (平成 22 年 3 月 16 日)
- [2] 大原 拓也、山崎 悦史、相澤 茂樹、富沢 将人、“High Bit-Error Tolerant Frame/Lane Alignment for 100Gb/s Multi-Lane Transmission”、OFC/NFOEC2010 (San Diego) (平成 22 年 3 月 21 日)
- [3] NTT 未来ねっと研究所、“1 波長あたり 100Gbit/s 級の高速・大容量光通信を実現する技術”、ONDM 2010 (14th Conference on Optical Network Design and Modeling)、(京都市) (平成 22 年 2 月 1 日～2 月 3 日)
- [4] NTT 未来ねっと研究所、“デジタルコヒーレント信号処理技術”、OFC/NFOEC San Diego Convention Center (San Diego CA USA) (平成 22 年 3 月 23 日～25 日)
- [5] NTT 未来ねっと研究所、“100Gbit/s デジタルコヒーレント集積回路技術”、第 10 回光通信技術展ファイバーオプティクス EXPO (FOE2010) 東京ビッグサイト (江東区) (平成 22 年 1 月 20 日～22 日)
- [6] 坂巻陽平、那須悠介、橋本俊和、服部邦典、才田隆志、高橋浩、“石英系 PLC 型光 90 度ハイブリッドの位相誤差低減”、電子情報通信学会 2010 年総合大会 東北大学 (仙台市) (平成 22 年 3 月 18 日)
- [7] 小川育生、大山貴晴、田野辺博正、綱島聡、伊藤敏洋、吉松俊英、村本好史、都築健、坂巻陽平、橋本俊和、美野真司、村田浩一、“PLC/PD アレイを用いた集積型コヒーレント受信 FE モジュール”、電子情報通信学会 2010 年統合大会 東北大学 (仙台市) (平成 22 年 3 月 19 日)
- [8] 吉松俊英、村本好史、児玉聡、古田知史、重川直輝、横山春喜、石橋忠夫、“低バイアス動作を特徴と

- する高効率・広帯域フォトダイオードの提案”、2010年春季 第57回 応用物理学関係連合講演会 東海大学湘南キャンパス（平塚市）（平成22年3月20日）
- [9] NTT フォトニクス研究所、“集積型多値光変調モジュール”、第10回光通信技術展ファイバー옵ティクス EXPO (FOE2010) 東京ビッグサイト（江東区）（平成22年1月20日～22日）
- [10] NTT フォトニクス研究所、“受信フロントエンドモジュール”、第10回光通信技術展ファイバー옵ティクス EXPO (FOE2010) 東京ビッグサイト（江東区）（平成22年1月20日～22日）
- [11] NTT フォトニクス研究所、“超高速大容量ネットワークを実現する為のキー部品技術”、NTTR&D フォーラム 2010 NTT 武蔵野 R&D センタ（武蔵野市）（平成22年2月22日～24日）
- [12] NTT フォトニクス研究所、“受信フロントエンド研究開発”、OFC/NFOEC San Diego Convention Center (San Diego CA USA)（平成22年3月23日～25日）
- [13] NTT フォトニクス研究所、“光変調器研究開発”、OFC/NFOEC San Diego Convention Center (San Diego CA USA)（平成22年3月23日～25日）
- [14] 日本電気株式会社、「1波長あたり 100Gbit/s 級の高速・大容量光通信を実現する技術 100Gbit/s デジタルコヒーレント集積回路技術」、Fiber Optics Expo Japan、（江東区）（平成22年1月）
- [15] 日本電気株式会社、「1波長あたり 100Gbit/s 級の高速・大容量光通信を実現する技術 100Gbit/s デジタルコヒーレント集積回路技術」、ONDM 2010 (14th Conference on Optical Network Design and Modeling)、(京都市)（平成22年2月1日～3日）
- [16] 日本電気株式会社、「1波長あたり 100Gbit/s 級の高速・大容量光通信を実現する技術 100Gbit/s デジタルコヒーレント集積回路技術」、Optical Fiber Communication Conference and Exposition (OFC) and the National Fiber Optic Engineers Conference (NFOEC), San Diego Convention Center, Exhibition、(San Diego CA USA)（平成22年3月）
- [17] 尾中 寛、“光通信におけるWAN系のデジタル信号処理技術”、財)光産業技術振興協会 コヒーレント光通信システム調査委員会（平成21年8月）：
- [18] 尾中 寛、“Challenges for VLSI implementation of 100G digital coherent Receivers”、ECOC2009 (European Conference and Exhibition on Optical Communication)（平成21年9月）：
- [19] 尾中 寛、“Challenges for development of 100G digital coherent transmission systems”、Optical Fiber Communication Conference and National Fiber Optic Engineers Conference (OFC/NFOEC) 2010 SAN DIEGO CONVENTION CENTER、(San Diego CA USA)（平成22年3月）：
- [20] “100Gb/s デジタルコヒーレント集積回路技術”、ファイバー옵ティクス EXPO (東京ビッグサイト)（平成22年1月）：
- [21] “100Gbit/s digital coherent signal processing technology”、ONDM(Optical Network Design and Modeling) 2010 会合 (京都工芸繊維大学)（平成22年2月）：
- [22] “100Gbit/s digital coherent signal processing technology”、Optical Fiber Communication Conference and National Fiber Optic Engineers Conference (OFC/NFOEC) 2010 (SAN DIEGO CONVENTION CENTER)（平成22年3月）：
- [23] “100G Transmission System for Submarine Application”、SubOptic2010（パシフィコ横浜）（平成22年5月）：
- [24] 水落隆司、“Recent Progress in Forward Error Correction for 100 Gbps Optical Communications”、The 4th International Symposium on Ultrafast Photonic Technologies (ISUPT2009)（仙台市）（平

成 21 年 8 月 5 日)

- [25] 杉原隆嗣、水落隆司、“Reality check: Implementation of Soft-Decision FEC in a DSP LSI”、ECOC2009 (ウィーン) (平成 21 年 9 月 20 日)
- [26] 市川俊亨、小口和海、久保和夫、水落隆司、“100Gbit/s デジタルコヒーレント集積回路技術”、第 10 回光通信技術展ファイバーオプティクス EXPO FOE2010 (江東区) (平成 22 年 1 月 20 日)
- [27] 水落隆司、“光通信用誤り訂正技術 ～基礎から最新技術まで～”、光通信技術展 (ファイバーオプティクス EXPO) FOE2010 (江東区) (平成 22 年 1 月 22 日)
- [28] 市川俊亨、小口和海、久保和夫、水落隆司、“100Gbit/s digital coherent signal processing technology”、ONDM (Optical Network Design and Modeling) 2010 (京都市) (平成 22 年 2 月 1 日～3 日)
- [29] 杉原堅也、宮田好邦、松本渉、吉田英夫“LDPC 符号の行分割による符号化率調整手法”、電子情報通信学会 2010 年総合大会 (仙台市) (平成 22 年 3 月 18 日)
- [30] 久保和夫、斧原聖史、宮田好邦、杉原隆嗣、市川俊亨、小口和海、吉田英夫、水落隆司、“100Gb/s デジタルコヒーレントにおける FEC アーキテクチャの検討”、電子情報通信学会 2010 年総合大会 (仙台市) (平成 22 年 3 月 19 日)
- [31] 栗田明、西本浩、杉原堅也、斧原聖史、宮田好邦、平明德、久保博嗣、吉田英夫、水落隆司、“100Gb/s デジタルコヒーレントにおける軟判定尤度生成回路”、電子情報通信学会 2010 年総合大会 (仙台市) (平成 22 年 3 月 19 日)
- [32] 宮田好邦、杉原堅也、松本渉、斧原聖史、杉原隆嗣、久保和夫、吉田英夫、水落隆司、“100Gb/s デジタルコヒーレント用軟判定 FEC に関する検討”、電子情報通信学会 2010 年総合大会 (仙台市) (平成 22 年 3 月 19 日)
- [33] 水落隆司、“A Practical Perspective on Soft Decision FEC for 100 Gbps and Beyond”、OFC/NFOEC2010 (米、サンディエゴ) (平成 22 年 3 月 21 日)
- [34] 斧原聖史、宮田好邦、杉原隆嗣、久保和夫、吉田英夫、水落隆司、“Soft Decision FEC for 100G Transport Systems”、OFC/NFOEC2010 (San Diego CA USA) (平成 22 年 3 月 25 日)
- [35] 宮田好邦、杉原堅也、松本渉、斧原聖史、杉原隆嗣、久保和夫、吉田英夫、水落隆司、“A Triple-Concatenated FEC Using Soft-Decision Decoding for 100 Gb/s Optical Transmission”、OFC/NFOEC2010 (San Diego CA USA) (平成 22 年 3 月 25 日)
- [36] M. Nakamura, Y. Kamio, and T. Miyazaki, “M-PSK versatile modulation using a single-electrode straight-line phase modulator and digital signal processing for ISI-suppression”、(San Diego, USA) (平成 22 年 3 月)
- [37] 中村守里也、神尾享秀、宮崎哲弥、“デジタル信号処理による ISI 補償とストレートライン型単電極位相変調器を用いた M-PSK 変復調実験”、電子情報通信学会ソサイエティ大会 (新潟市) (平成 21 年 9 月)
- [38] 中村守里也、神尾享秀、宮崎哲弥、“スペクトルスライス ASE 光源を用いた 10-Gsymbol/s BPSK 及び QPSK 信号のコヒーレンス多重実験”、電子情報通信学会 OCS 研究会 (春日市) (平成 21 年 10 月)
- [39] 神尾享秀、中村守里也、宮崎哲弥、“パイロットキャリア偏波多重方式による 16QAM 信号の SPM 耐性”、電子情報通信学会 CS 研究会 (下関市) (平成 22 年 1 月)
- [40] 中村守里也、“多値光変復調技術の研究 ～デジタル信号処理による波形歪み補償技術～”、ファイバーオプティクス EXPO (江東区) (平成 22 年 1 月)

8 出願特許リスト

非公開

9 取得特許リスト

なし

10 国際標準提案リスト

非公開

11 参加国際標準会議リスト

[1] ITU-T、SG15 本会合、スイス ジュネーブ、平成 21 年 9 月 28 日～10 月 9 日

[2] Optical Internetworking Forum (OIF) Q409 Technical and MA&E Committees Meeting、フランス
ラニオン、平成 21 年 10 月 13 日～平成 21 年 10 月 15 日

[3] Optical Internetworking Forum (OIF) Q409 Technical and MA&E Committees Meeting、Belambra
Club - Trégastel、平成 21 年 10 月

[4] Optical Internetworking Forum (OIF) Q110 Technical and MA&E Committees Meeting、The
Cypress Hotel, USA、平成 22 年 2 月

12 受賞リスト

なし

13 報道発表リスト

(1) 報道発表実績

なし

(2) 報道掲載実績

なし

研究開発による成果数

\	平成 21 年度	(参考) 提案時目標数
査読付き誌上発表数	5 件 (4 件)	0 件 (0 件)
その他の誌上発表数	6 件 (3 件)	0 件 (0 件)
口 頭 発 表 数	35 件 (15 件)	10 件 (6 件)
特 許 出 願 数	24 件 (0 件)	18 件 (6 件)
特 許 取 得 数	0 件 (0 件)	0 件 (0 件)
国 際 標 準 提 案 数	7 件 (7 件)	2 件 (2 件)
国 際 標 準 獲 得 数	0 件 (0 件)	0 件 (0 件)
受 賞 数	0 件 (0 件)	0 件 (0 件)
報 道 発 表 数	0 件 (0 件)	0 件 (0 件)
報 道 掲 載 数	0 件 (0 件)	—

注 1 : (括弧)内は、海外分を再掲。

注 2 : 「査読付き誌上発表数」には、論文誌や学会誌等、査読のある出版物に掲載された論文等を計上する。学会の大会や研究会、国際会議等の講演資料集、アブストラクト集、ダイジェスト集等、口頭発表のための資料集に掲載された論文等は、下記「口頭発表数」に分類する。

注 3 : 「その他の誌上発表数」には、専門誌、業界誌、機関誌等、査読のない出版物に掲載された記事等を計上する。